

Mehrstufiger HF-Schaltverstärker in FDSOI-CMOS-Technologie

IC-Entwurf	
Art der Arbeit: <ul style="list-style-type: none">- Schaltungsentwurf/Simulation- Schaltungslayout- HF-Systemsimulation	Voraussetzungen: <ul style="list-style-type: none">- Kenntnisse über CMOS-Schaltungen- Grundkenntnisse Hochfrequenztechnik

Hintergrund:

Um gleichzeitig die Effizienz und Linearität von hochfrequenten Leistungsverstärkern für Drahtlos- und Mobilgeräte zu verbessern, wird am INT der Ansatz eines volldigitalen Senderkonzepts verfolgt [1]. Im Rahmen des von der DFG geförderten Forschungsprojekts „Hochfrequente Mehrstufen-Schaltverstärker im pulspositions- und pulswertenmodulierten Betrieb zur effizienten Leistungsverstärkung von breitbandigen Mobilfunksignalen“ sollen dazu mehrstufige Schaltverstärker (ML-SMPA) in einer modernen FDSOI-CMOS-Technologie erforscht werden [2]. Um den Dynamikbereich des Schaltverstärkers zu verbessern, wird die Amplitude des gefilterten HF-Signals zusätzlich zur Pulsweite in diskrete Ausgangsspannungs- (ML-VM-SMPA) oder Ausgangsstromstufen (ML-CM-SMPA) kodiert.

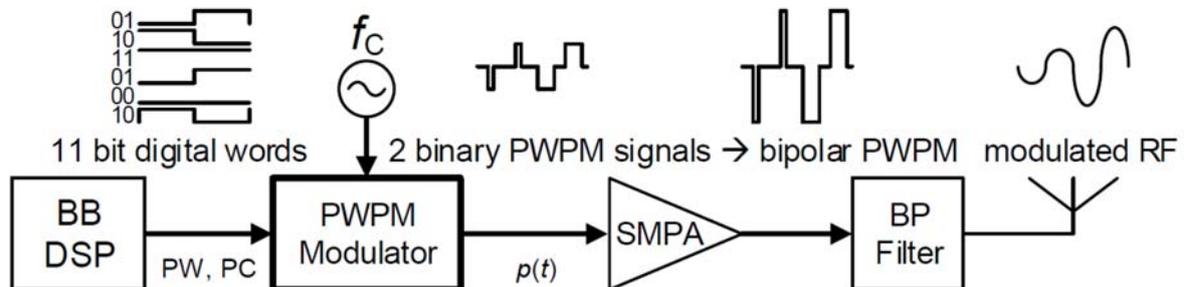


Abbildung 1: Volldigitales Senderkonzept mit digitalem Pulsweiten- und Pulspositions-Modulator (DPWPM), Schaltverstärker (SMPA) und Bandpass-Rekonstruktionsfilter [1].

Aufgabenstellung:

Abhängig vom Stand des Forschungsprojekts und der Art der Arbeit liegt der Schwerpunkt auf dem Entwurf eines mehrstufigen Schaltverstärkers mit Layout in Cadence IC, dem Entwurf von transformatorbasierten Netzwerken zur Leistungsaddition und Impedanzanpassung in ADS Momentum oder der Ansteuerung des Verstärkers. Gegebenenfalls sind Simulationen und Untersuchungen auf Systemebene in Matlab möglich.

Kontakt und weitere Infos:

Manuel Wittlinger

manuel.wittlinger@int.uni-stuttgart.de
0711-685-67897

Zimmer 2.410, ETI II

[1] <https://ieeexplore.ieee.org/document/9080191>

[2] <https://gepris.dfg.de/gepris/projekt/420690209>