

25 GS/s 6 bit CMOS D/A- und A/D-Wandler für photonische 100 Gbit/s Netze

25 GS/s 6 bit CMOS DACs and ADCs for 100 Gbit/s Photonic Networks

Markus Grözing, Felix Lang, Thomas Alpert, Hao Huang, Damir Ferenci, Manfred Berroth
Institut für Elektrische und Optische Nachrichtentechnik, Universität Stuttgart
m.groezing@int.uni-stuttgart.de

Kurzfassung

Sowohl Hochgeschwindigkeits-D/A- wie auch A/D-Wandler sind Schlüsselkomponenten für optische Übertragungssysteme, welche fortgeschrittene spektral effiziente Modulationsverfahren anwenden, um Datenraten bis oder sogar über 100 Gbit/s zu erreichen. Die kohärente optische Datenübertragung mit Polarisationsmultiplex und mehrstufiger Modulation erfordert Sender und Empfänger mit jeweils vier Datenwandlern. Die erforderliche Datenbandbreite zwischen den Wandlern und den zugeordneten digitalen Signalprozessoren erreicht bereits für 100 Gbit/s-Systeme die Größenordnung von ein Tbit/s. Kostengünstige und sparsame Leitungskarten können daher nur realisiert werden, wenn die Datenwandler mit den jeweiligen digitalen Signalprozessoren für das Senden und Empfangen auf einem einzigen Chip integriert sind („System-on-Chip“ in Standard-CMOS-Technologie).

In diesem Artikel wird der Entwurf zweier Generationen von D/A- und A/D-Wandlern beschrieben, welche im Rahmen des BMBF/Celtic-Förderprojekts 100GET in einer 90 nm Standard-CMOS-Technologie umgesetzt wurden. Die Wandler bieten eine nominale Auflösung von 6 bit und eine variable Wandlerrate bis über 25 GS/s. Weiterhin unterstützen sie mit ihren zwei 6 bit breiten digitalen 12,5 Gbaud Eingangs- bzw. Ausgangsschnittstellen Echtzeitexperimente. Die präsentierten Wandler sind nach bestem Wissen der Autoren die derzeit schnellsten als Einzelbauelemente verfügbaren CMOS-D/A- bzw. -A/D-Wandler mit digitalen Echtzeitschnittstellen. Um den Betrieb der Wandler an schnellen seriellen 6,25 Gbit/s FPGA-Transceivern zu ermöglichen, wurden in 130 nm und 90 nm-CMOS-Technologie auch 6:3 Multiplexer- und 3:6 Demultiplexer-ICs umgesetzt. Der D/A-Wandler mit den Multiplexern und der A/D-Wandler mit den Demultiplexern werden zurzeit auf Wandlermodulen aufgebaut, um Echtzeitexperimente zu ermöglichen.

Abstract

Both high speed digital-to-analog- (DAC) and analog-to-digital- (ADC) converters are key components for optical data transmission systems that apply advanced spectral efficient modulation formats to provide data rates up to or even in excess of 100 Gbit/s. Polarization multiplexed coherent optical transmission systems with multi-level modulation require transmitters and receivers each with four converters. The data rates between the converter blocks and the digital signal processors reach the Tbit/s range already for a 100 Gbit/s system. Therefore cost- and power-efficient line cards require the converters to be integrated with the TX respective RX digital signal processors on the same die, i.e. in a single CMOS system-on-chip.

This work describes the design of two generations of stand-alone DACs and ADCs that have been implemented within the BMBF/Celtic project 100GET in a 90 nm standard-CMOS technology. The converters provide a variable sampling rate up to 25 GS/s and beyond with a nominal resolution of 6 bit. They allow for real-time experiments by providing two interleaved 6 bit wide digital input respective output interfaces that run at 12.5 Gbaud. The implemented converters are to the best of the authors' knowledge the fastest stand-alone CMOS DACs and ADCs with real-time digital interfaces available today. To enable the operation of the converters together with 6.25 Gbit/s serial transceivers of FPGA test boards, 6:3 multiplexer and 3:6 demultiplexer ICs have also been implemented in 130 nm and 90 nm CMOS technology. The DAC and the multiplexers as well as the ADC and the demultiplexers are currently assembled onto test boards to allow for real-time experiments.

1 Einführung

Das Blockschaltbild einer kohärenten optischen Datenübertragungsstrecke mit Polarisationsmultiplex [1] ist in Bild 1 dargestellt. Bei 100 Gbit/s Datenrate und einer vierstufigen Modulation beträgt die Symbolrate auf beiden Polarisierungen 25 Gbaud. Über Paare von Mach-Zehnder-Modulatoren und 90°-Verzögerungsleitungen wird eine optische IQ-Modulation im Sender realisiert. Die IQ-Demodulation im Empfänger wird mit 90°-Hybriden und differentiellen Photodetektoren umgesetzt.

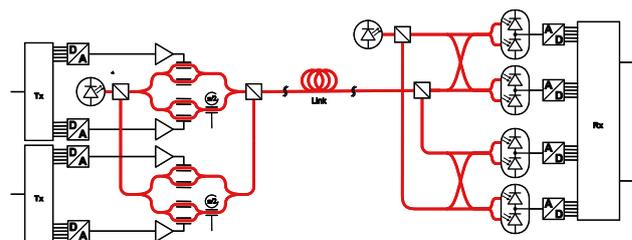


Bild 1: Kohärente optische Übertragungsstrecke mit Polarisationsmultiplex sowie Sende- und Empfangselektronik. Grafik mit freundlicher Genehmigung der Ericsson GmbH Backnang.

Sowohl im Sender wie auch im Empfänger werden jeweils vier Wandler mit einer Wandlerrate von mindestens 25 GS/s benötigt.

Der digitale Datendurchsatz zwischen den vier Wandlern und den zugeordneten digitalen Signalprozessoren erreicht für ein 100 Gbit/s-System und Wandlern mit 6 bit nominaler Auflösung $4 \times 6 \times 25 \text{ GS/s} = 600 \text{ Gbit/s}$. Kostengünstige und sparsame Leitungskarten erfordern daher die Integration der Datenwandler mit den digitalen Signalprozessoren auf einem einzigen Chip in Standard-CMOS-Technologie.

Im zweiten Abschnitt dieses Artikels wird das Konzept für den Betrieb der Wandler mit FPGAs vorgestellt. Die Umsetzung der ICs wird im dritten Abschnitt beschrieben. Im vierten Abschnitt werden die Simulationsergebnisse und im fünften Abschnitt die Messergebnisse vorgestellt. Der Entwurf der Chips der zweiten Generation wird in Abschnitt sechs kurz erläutert. In Abschnitt sieben wird auf den Entwurf der Trägerplatten und -Substrate für die ICs eingegangen, in Abschnitt acht auf die FPGA-Messumgebung.

2 Konzept für den Betrieb der Wandler mit FPGAs

Um die Anzahl der digitalen Ein- und Ausgänge der Wandlerchips und damit die teure Chipfläche zu minimieren, werden die digitalen Schnittstellen auf den Wandlerchips für eine Datenrate von 12,5 Gbit/s ausgelegt. Die seriellen Schnittstellen auf den zu Beginn des Projekts verfügbaren FPGA-Evaluationsplatten (mit den FPGAs Virtex 4 bzw. 5 von Xilinx) sind allerdings nur für Datenraten bis ca. 6,5 Gbit/s ausgelegt. Daher sind zusätzliche 2:1 Multiplexer- und 1:2 Demultiplexer-Stufen notwendig. Diese verbinden jeweils zwei FPGA-Schnittstellen mit einer digitalen Schnittstelle der Wandler (Bild 2 und Bild 3). An allen digitalen Schnittstellen der Chips müssen Schaltungsblöcke zur Auswahl des günstigsten Abtastzeitpunkts sowie zur Detektion der Synchronizität der Datenströme umgesetzt werden. Die gewählte Aufteilung der Funktionen ermöglicht, die Wandler ohne Zwischenschaltung der Multiplexer bzw. Demultiplexer-Stufen zu betreiben, sobald FPGA-Evaluationsplatten mit ausreichend vielen 12,5 Gbit/s Schnittstellen verfügbar sind.

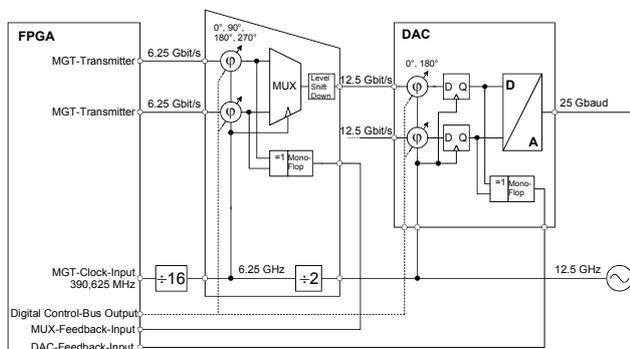


Bild 2: Blockschaltbild für den Betrieb des D/A-Wandlers mit einem FPGA als digitaler Datenquelle mit zwischengeschalteten 2:1-Multiplexern.

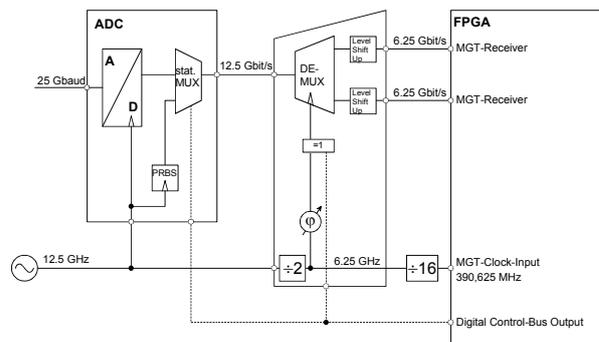


Bild 3: Blockschaltbild für den Betrieb des A/D-Wandlers mit einem FPGA als digitaler Datensinke mit zwischengeschalteten 1:2-Demultiplexern.

3 IC-Entwurf

Die erste Generation der Wandler ist in der 90 nm Standard-CMOS-Technologie von ST-Microelectronics (STM) realisiert. Alle schnellen Datenpfade auf den Wandlern und auf den Multiplexern und Demultiplexern sind differenziell ausgeführt und die schnellen Analog- sowie Logikfunktionen sind in Stromschaltertechnik (*current mode logic*, CML) bzw. Differenzverstärkertechnik umgesetzt. Alle Chips verfügen über eine 3-Draht-Schnittstelle zur Konfiguration verschiedener Funktionen. In diesem Abschnitt werden die Chips der ersten Generation beschrieben.

3.1 D/A-Wandler

Bild 4 zeigt den Aufbau des D/A-Wandlers und Bild 5 das Layout des Chips [2]. Zwei D/A-Wandler-Kerne werden jeweils mit 6 bit breiten Digitalworten mit einer Rate von 12,5 Gbaud angesteuert und legen ihren Ausgangsstrom im Gegentakt jeweils für eine halbe 12,5 GHz-Taktperiode an die externen 50Ω -Lastwiderstände an. Die Abtastrate des Gesamtwandlers beträgt somit 25 GS/s. Über die digitale Steuerschnittstelle wird insbesondere die Auswerteschaltung zum Test der Synchronizität (SELU) und die Wahl der Abtastzeitpunkte der digitalen Hochgeschwindigkeitsschnittstellen gesteuert.

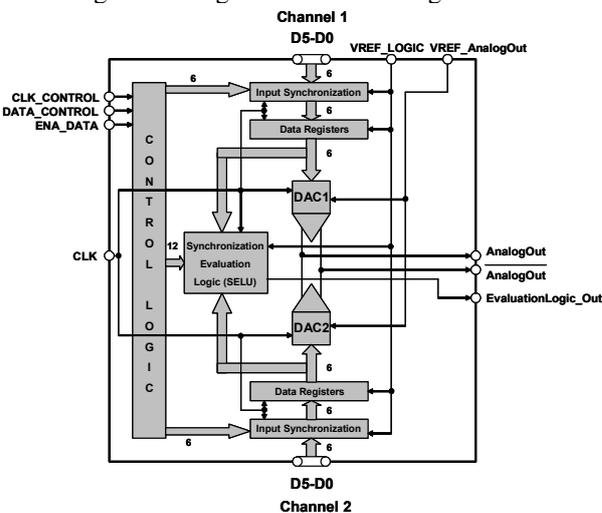


Bild 4: Blockschaltbild des D/A-Wandlers [2].

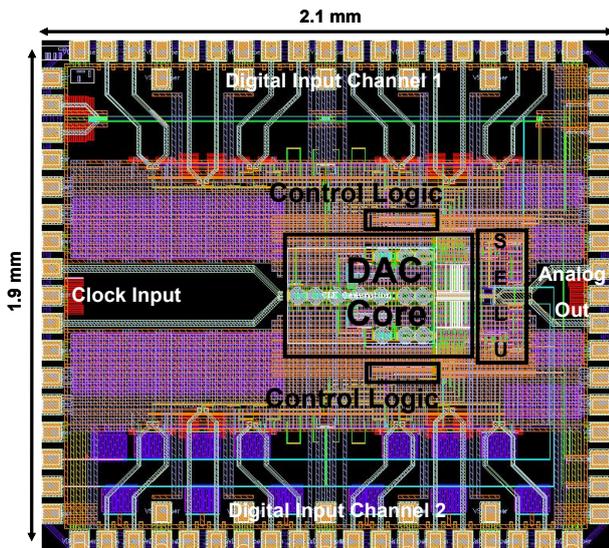


Bild 5: Layout des D/A-Wandlers [2].

Die SELU bestimmt die Synchronizität zweier benachbarter Eingänge im PRBS-Synchronisationsmodus mittels eines XOR-Gatters und meldet diese an das FPGA zurück. Die Abtastphase der digitalen Eingänge kann auf 0° oder 180° eingestellt werden.

3.2 A/D-Wandler

Bild 6 zeigt den Aufbau des D/A-Wandlers und Bild 7 das Layout des Chips [3]. Die beiden A/D-Wandlerkerne tasten das Eingangssignal im Gegenteil mit jeweils 12,5 GHz ab und geben jeweils 6 bit breite Digitalworte mit einer Rate von 12,5 Gbaud aus. Die Wandlerrate beträgt somit 25 GS/s. Über die digitale Steuerschnittstelle wird insbesondere der Synchronisationsmodus für die digitalen Hochgeschwindigkeitsschnittstellen und die Feinabstimmung der Spannungspegel der Widerstandsleiter mithilfe einer Kalibrationsstufe kontrolliert. Ein zentraler PRBS-Generator auf dem Chip ermöglicht die synchrone Ausgabe einer PRBS-Folge auf allen Ausgangskanälen, um die Synchronisierung mit den Datenempfängern auf dem FPGA durchführen zu können.

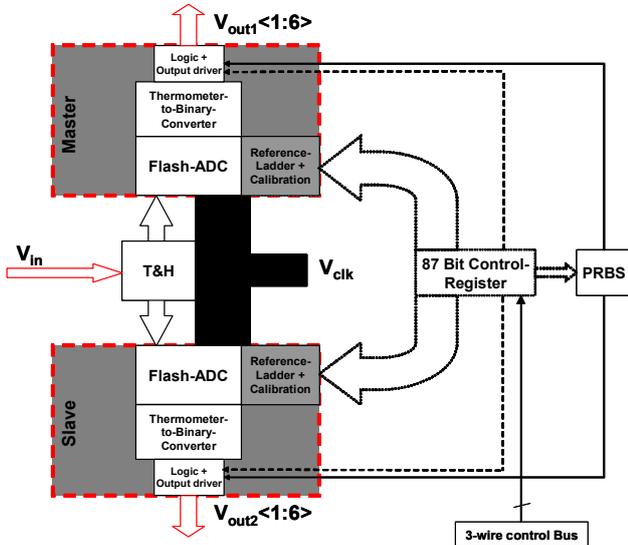


Bild 6: Blockschaltbild des A/D-Wandlers [3].

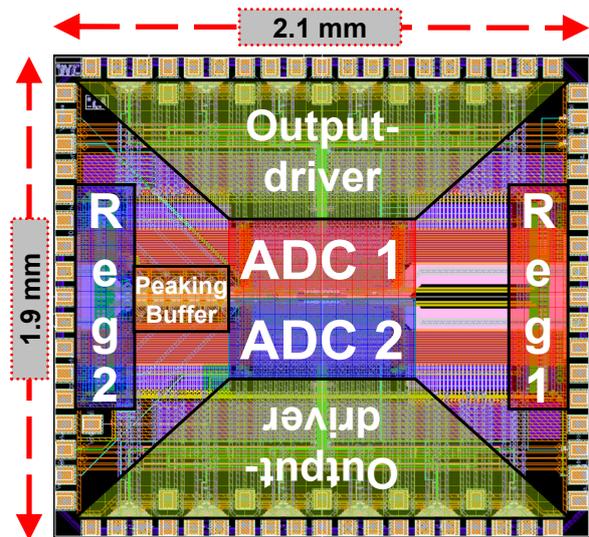


Bild 7: Layout des A/D-Wandlers [3].

3.3 Multiplexer und Demultiplexer

Die Multiplexer- und Demultiplexer-ICs sind aus Kostengründen in der deutlich preiswerteren 130 nm CMOS-Technologie von STM realisiert. Sie vereinigen jeweils drei 2:1 Multiplexer- bzw. drei 1:2 Demultiplexer-Stufen auf einem Chip [4]. Neben der Kernfunktion sind auf den Chips Pegelschieber für die Anpassung der Spannungspegel zwischen den FPGAs und den Wandlerschnittstellen, Phasenschieber für die Auswahl des günstigsten Abtastzeitpunkts und Detektionsschaltungen zur Synchronisierung der Datenströme realisiert. Die Bilder 8 und 9 zeigen die jeweiligen Blockschaltbilder und die Bilder 10 und 11 zeigen die jeweiligen Layouts der ICs.

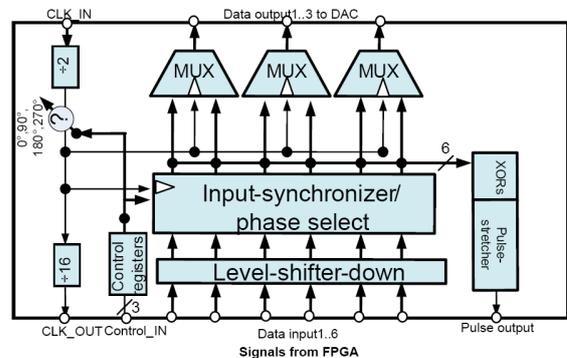


Bild 8: Blockschaltbild des 6:3 Multiplexer-ICs [4].

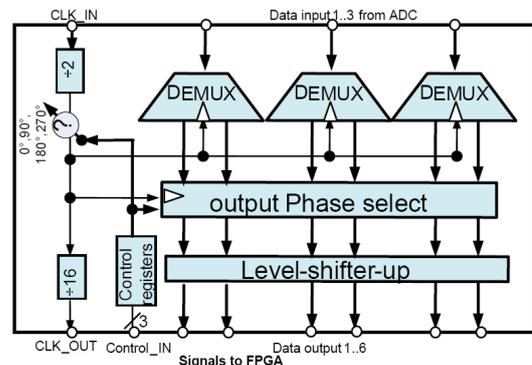


Bild 9: Blockschaltbild des 3:6 Demultiplexer-ICs [4].

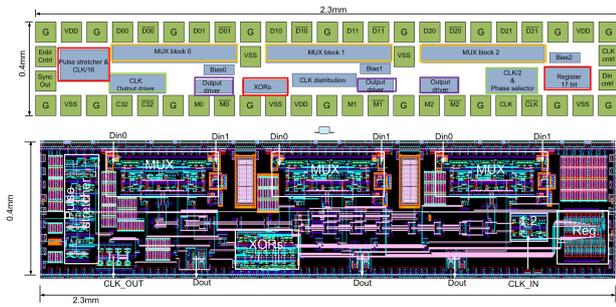


Bild 10: Layout des 6:3 Multiplexer-ICs [4].

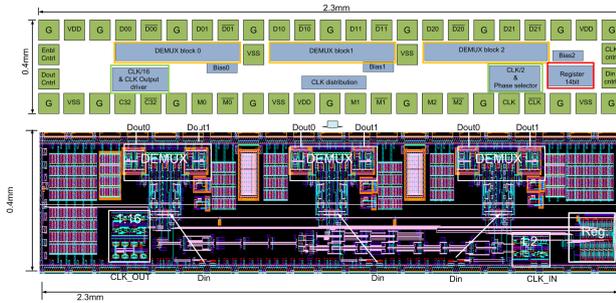


Bild 11: Layout des 6:3 Demultiplexer-ICs [4].

3.4 Taktverteilungschip in SiGe-Bipolar

Für das Gesamtsystem bestehend aus dem Wandler und vier Multiplexer- bzw. Demultiplexer-ICs wird ein Taktverteilungs-IC benötigt. Dieser verteilt das zentrale 12,5 GHz-Taktsignal an den Wandler und an die vier Multiplexer- bzw. Demultiplexer-ICs. Dieses IC ist in einer 200 GHz-SiGe-Bipolar-Technologie umgesetzt [5]. Das IC stellt ein am Eingang angelegtes Taktsignal an drei differentiellen Ausgängen zu Verfügung. Bei unipolarer Taktansteuerung der Multiplexer- bzw. Demultiplexer-ICs wird ein, bei differentieller Taktansteuerung werden zwei Taktverteilungs-ICs benötigt. Bild 12 zeigt das Blockschaltbild und Bild 13 das Layout des Taktverteilungs-ICs.

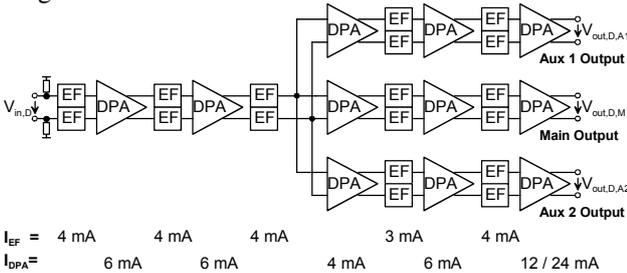


Bild 12: Blockschaltbild des Taktverteilungschips [5].

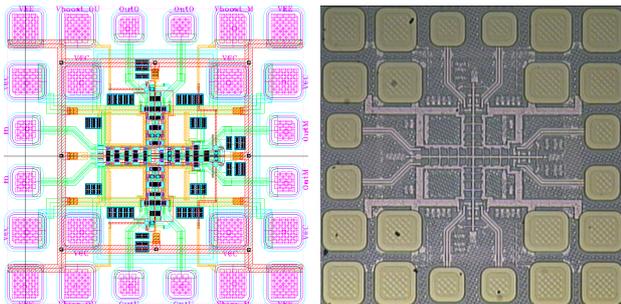


Bild 13: Layout und Foto des Taktverteilungschips [5].

4 Simulationsergebnisse

In Bild 14 sind die simulierten effektiven Auflösungen des A/D- und D/A-Wandlers der ersten Generation auf Basis des Schaltplans und der aus dem Layout extrahierten parasitären Elemente für Wanderraten von 16,7 GS/s und 25 GS/s über der Signalfrequenz aufgetragen [2, 3]. Beim A/D-Wandler zeigen die Resimulationen eine Verringerung der von der Signalfrequenz abhängigen effektiven Auflösung in bit (*effective number of bits*, ENOB) insbesondere für höhere Eingangsfrequenzen. Die Simulationen berücksichtigen dabei auch das Rauschen aller Bauelemente in der Schaltung. Beim D/A-Wandler kommt die effektive Auflösung bis in die Nähe der Nyquistfrequenz der effektiven Auflösung eines idealen D/A-Wandlers mit treppenstufenförmiger Ausgangsspannung sehr nahe. In Tabelle 1 sind die Simulationsergebnisse und die wichtigsten sonstigen Daten der Wandler zusammengefasst.

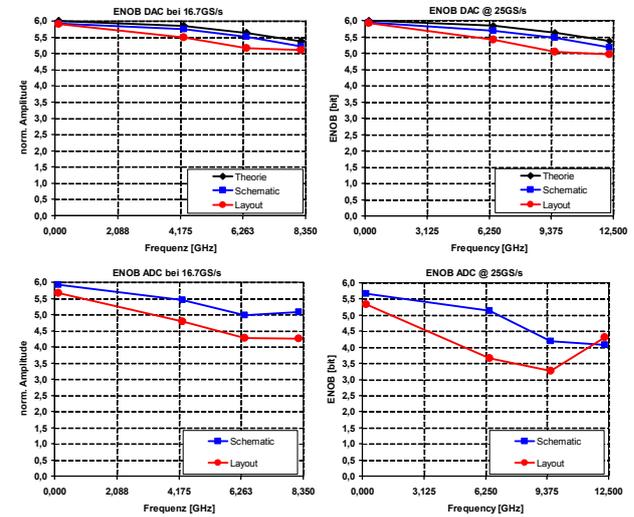


Bild 14: Effektive Auflösung (*effective number of bits*, ENOB) des D/A-Wandlers (oben) und des A/D-Wandlers (unten) bei 16,7 GS/s (links) und bei 25 GS/s (rechts) auf der Basis von Simulationen des Schaltplans und des Layouts mit parasitären Elementen [2, 3].

Tabelle 1: Zusammenfassung der wichtigsten geometrischen und elektrischen Daten und der Simulationsergebnisse des D/A-Wandlers (DAC) und des A/D-Wandlers (ADC) [2, 3].

Eigenschaft	DAC	ADC
Chipfläche	4.0 mm ²	4.0 mm ²
Fläche des Wandlerkerns	0.3 mm ²	0.3 mm ²
Leistungsaufnahme Chip	2.7 W (2.2 W)	2.7 W
Leistungsaufnahme Wandlerkern	2.3 W (1.7 W)	2.0 W
Versorgungsspannungen	GND: 0.0 V VSS: -2.5 V (-2.0V)	VDD: +0.50 V GND: 0.00 V VSS: -1.25 V
ENOB 25 GS/s @ DC (0.2 GHz)	5.9 bit	5.3 bit
ENOB 25 GS/s @ Nyquist/2 (6.4 GHz)	5.4 bit	3.6 bit
ENOB 25 GS/s @ Nyquist (12.3 GHz)	5.0 bit	4.3 bit
ENOB 17 GS/s @ DC (0.1 GHz)	5.9 bit	5.7 bit
ENOB 17 GS/s @ Nyquist/2 (4.3 GHz)	5.5 bit	4.8 bit
ENOB 17 GS/s @ Nyquist (8.2 GHz)	5.1 bit	4.3 bit

5 On-wafer Messergebnisse

Bild 15 zeigt die Chips der ersten Generation. Der Rasterabstand der Pads beträgt bei allen Chips 100 μm . Ein Test der prinzipiellen Funktionsfähigkeit der Chips erfolgt mittels on-wafer-Messungen.

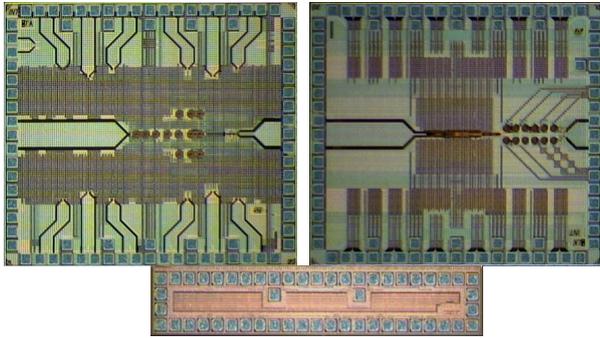


Bild 15: Fotos der Chips der ersten Generation. D/A-Wandler (oben links) und A/D-Wandler (oben rechts) in 90 nm CMOS sowie das Multiplexer-IC (unten, Demultiplexer-IC ähnlich) in 130 nm CMOS.

5.1 D/A- und A/D-Wandler

Zur Beurteilung des dynamischen Verhaltens des D/A-Wandlers wird an den MSB-Eingang des linken Kanals eine $2^{31}-1$ lange pseudozufällige Bitfolge mithilfe eines PRBS-Generators angelegt. Die anderen Eingänge des linken Kanals werden statisch auf logisch HIGH und alle Eingänge des rechten Kanals werden statisch auf logisch LOW gelegt. Bild 16 zeigt die bei dieser Messung aufgenommenen Augendiagramme des differentiellen analogen Ausgangssignals des D/A-Wandlers bei verschiedenen Wandlerraten. Die prinzipielle Funktion des Wandlers bei Wandlerraten bis 28 GS/s wird dadurch gezeigt. Die gemessene statische Integrale Nichtlinearität (INL) beträgt maximal 0,75 LSB und die Differentielle Nichtlinearität (DNL) beträgt maximal 1 LSB bei einem differentiellen Ausgangsspannungsbereich von ± 500 mV. Weitere Messergebnisse werden in [7] präsentiert.

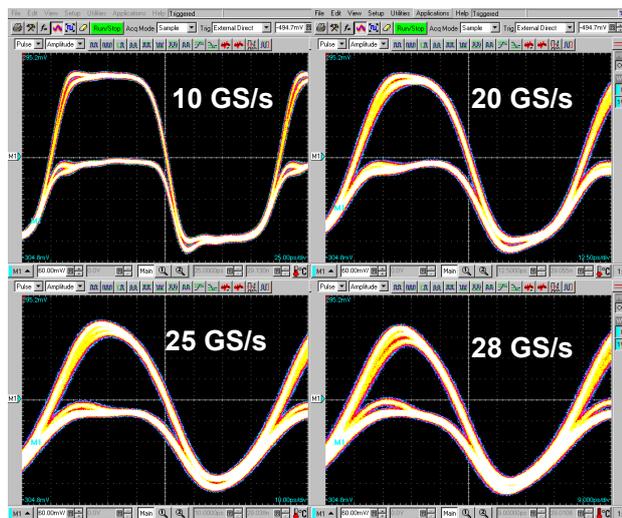


Bild 16: Am Ausgang des D/A-Wandlers aufgenommene Augendiagramme bei Wandlerraten von 10 GS/s bis 28 GS/s bei Anlegen einer PRBS an einen der beiden MSB-Eingänge.

Die Messungen am A/D-Wandler sind schwieriger, bedingt durch einen nominalen Betriebsstrom von etwa 2 A. Dieser ist etwa doppelt so groß wie beim D/A-Wandler. Da bei der on-wafer-Messung nur ein geringer Teil der Betriebsspannungspads kontaktiert werden kann, ist die Spannungsversorgung beim A/D-Wandler somit nicht optimal. Daher wurde das dynamische Verhalten zunächst im Betrieb als Komparator durch einen Kurzschluss der Referenzspannungspiegel getestet. Hierbei konnte, wie in Bild 17 gezeigt, die Funktionalität der Abtaster, der Flip-Flops, des Takt- und der Signalverteilungsnetzwerke bis zu einer Wandlerrate von 24 GS/s gezeigt werden. Bei etwas erhöhter Betriebsspannung können auch 25 GS/s erreicht werden.

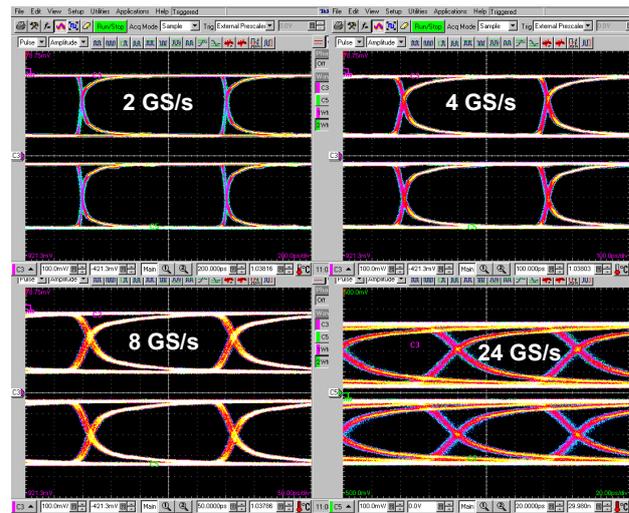


Bild 17: An einem Ausgang des A/D-Wandlers aufgenommene Augendiagramme im Komparatorbetrieb bei Wandlerraten von 10 GS/s bis 24 GS/s bei Anlegen einer PRBS-Folge an den Eingang des Wandlers.

5.2 Multiplexer- und Demultiplexer-ICs

Zum Test des 130 nm-CMOS Multiplexer-IC werden an dieses zwei pseudozufällige Datenfolgen aus einem einzigen Bitmuster-generator angelegt, welche mittels unterschiedlich langer Verzögerungsleitungen dekorreliert werden. Das gemultiplexte Ausgangssignal wird, wie in Bild 18 (links) gezeigt, mit Hilfe von Augendiagrammen und Bitfehlerratenmessungen charakterisiert. Die Fehlerrate bleibt bei Datenfolgen bis zur Länge $2^{31}-1$ bei Datenraten bis 12 Gbit/s am Ausgang kleiner als 10^{-12} . Das Multiplexer-IC kann on-wafer mit Taktfrequenzen bis 12,5 GHz betrieben werden.

Zum Test des 130 nm-CMOS Demultiplexer-IC wird eine pseudozufällige Datenfolge mit Bitraten bis 12,5 Gbit/s an einen Eingang angelegt. Die beiden gedemultiplexten Ausgangssignale werden, wie in Bild 18 (rechts) gezeigt, mit Hilfe von Augendiagrammen und Bitfehlerratenmessungen charakterisiert. Die Fehlerrate ist bei Datenfolgen bis zu einer Länge von $2^{31}-1$ bei Datenraten bis 12,5 Gbit/s am Eingang kleiner als 10^{-12} . Das Demultiplexer-IC kann on-wafer mit Taktfrequenzen bis 13,5 GHz betrieben werden.

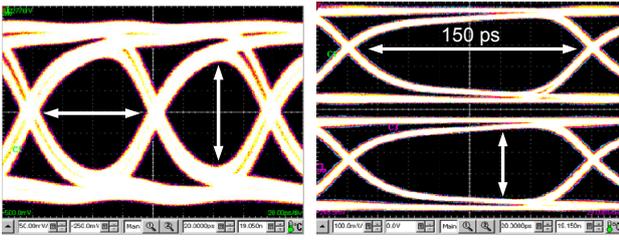


Bild 18: An einem Ausgang des Multiplexer-ICs aufgenommene Augendiagramme bei 12 Gbit/s (links) und an zwei Ausgängen des Multiplexer-ICs aufgenommene Augendiagramme bei einer Eingangsdatenrate von 12,5 Gbit/s (jeweils PRBS mit Länge $2^{31}-1$) [4].

5.3 Taktverteilungschip in SiGe-Bipolar

Das IC wurde ebenfalls mit einer PRBS-Folge am Eingang getestet, da es auch als limitierender Verstärker verwendet werden kann [5]. Die entsprechenden Augendiagramme bei Bitraten bis 56 Gbit/s sind in Bild 19 dargestellt.

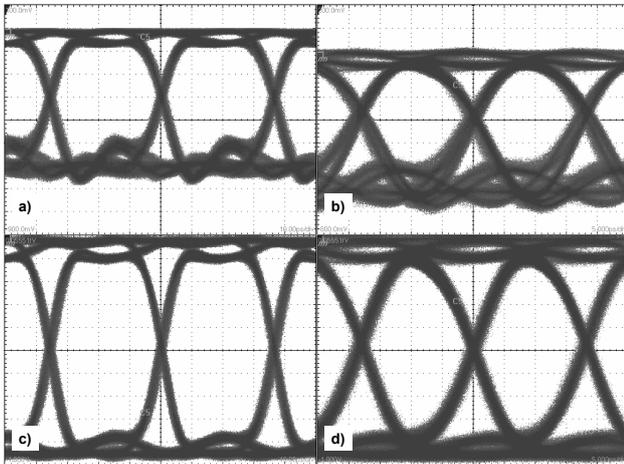


Bild 19: Ausgangsaugen des Taktverteilungschips [5] bei Anregung mit einer gemultiplexten $2^{31}-1$ langen PRBS-Folge bei 28 Gbit/s (a, c) und 56 Gbit/s (b, d) bei nominalem (a, b) und vergrößertem Ausgangsspannungshub (c,d).
X: 10 ps/div (a, c), 5 ps/div (b, d), Y: 100 mV/div (a, b, c, d).

6 Chips der zweiten Generation

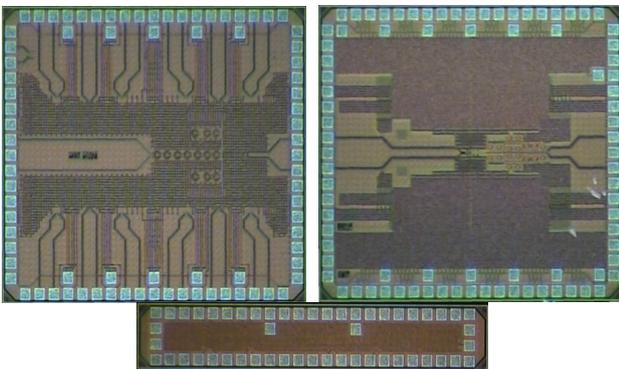


Bild 20: Fotos der Chips der zweiten Generation in 90 nm CMOS von TSMC: D/A-Wandler (oben links), A/D-Wandler (oben rechts) und Multiplexer-IC (unten, Demultiplexer-IC ähnlich).

Für alle Chips mit Ausnahme des Taktverteilungschips wurde in der 90 nm CMOS-Technologie von TSMC ein Neuentwurf durchgeführt. Bild 20 zeigt die Fotos der ICs der zweiten Generation. Alle Chips sind voll pin- und funktionskompatibel zu den Chips der ersten Generation. Beim D/A-Wandler wird die statische Linearität durch einen Neuentwurf der Stromquellen deutlich gesteigert und die Leistungsaufnahme durch eine Redimensionierung der CML-Gatter reduziert. Der A/D-Wandler der zweiten Generation ist intern mit vier statt zwei Kernen ausgestattet und lässt für hohe Signalfrequenzen eine gesteigerte Auflösung sowie eine noch höhere Wanderrate erwarten [8]. In den Multiplexer- und Demultiplexer-ICs beträgt die maximale Datenrate nun mindestens 14 Gbit/s.

7 Aufbautechnik

Für den Aufbau der Wandler werden zwei Träger benötigt. Zum einen ein ca. $4 \times 4 \text{ cm}^2$ großes Dünnschichtsubstrat, auf dem ein Wandler und vier Multiplexer- bzw. Demultiplexer-Chips aufgebaut werden. Das Dünnschichtsubstrat selbst wird wiederum auf einen Träger aus HF-Platinenmaterial aufgebracht. Auf diesem Träger sind dann die HF-Anschlüsse für die digitalen Ein- bzw. Ausgänge (SMP) sowie weitere Anschlüsse für Steuerleitungen und Versorgungsspannungen (Pfostenstecker) untergebracht.

Bild 21 zeigt rechts das Layout des Dünnschichtsubstrats. Das Dünnschichtsubstrat besteht aus Aluminiumoxid (Al_2O_3)-Keramik 99,6 % mit einer Dicke von $381 \mu\text{m}$ und einer relativen Dielektrizitätszahl von 9,9. Die $250 \mu\text{m}$ dicken Chips werden in ca. $250 \mu\text{m}$ tiefe Wannen eingebracht, so dass in einer Ebene gebondet werden kann. Bild 21 zeigt links das Layout der HF-Platine und wie das Dünnschichtsubstrat in der Mitte darauf platziert wird. Die elektrischen Kontakte zwischen dem Substrat und der Platine werden mit halben Durchkontaktierungen am Rande des Dünnschichtsubstrats hergestellt. Das HF-Platinenmaterial ist Taconic RF-60A mit einer Dicke von $250 \mu\text{m}$ und einer relativen Dielektrizitätszahl von 6,15.

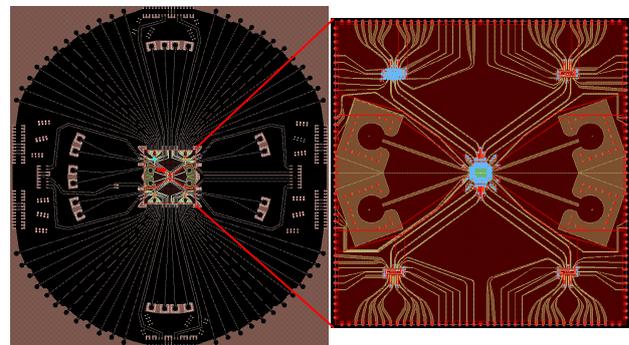


Bild 21: Layout der HF-Platine für das Wandlermodul mit darauf aufgebrachtem Dünnschichtsubstrat (links) und Layout des Dünnschichtsubstrats (rechts).

8 FPGA-Messumgebung

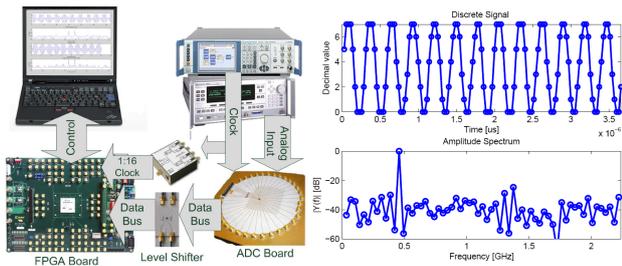


Bild 22: Schema der FPGA-Messumgebung [6] (links) und ein Beispiel von damit gewonnenen Messergebnissen im Zeit- und Frequenzbereich [6, 9] (rechts).

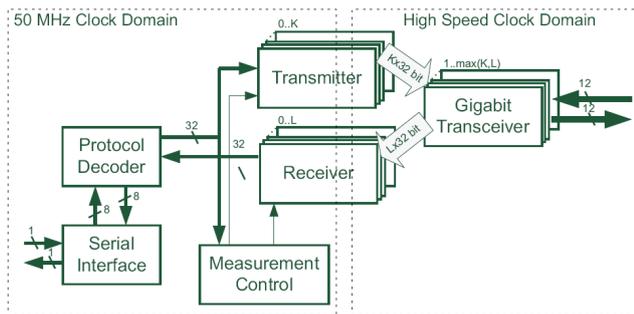


Bild 23: Blockschaltbild der in VHDL implementierten Funktionen und der damit verbundenen seriellen Transceiver (RocketIO) auf dem FPGA [6].

Bild 22 zeigt links schematisch die am Institut entwickelte FPGA-Messumgebung [6] für die Wandler und rechts das Ergebnis der mit diesem Messaufbau durchgeführten Charakterisierung eines bereits auf einer Platine aufgebauten 3 bit A/D-Wandlers bei einer Gesamtwandlerrate von 12,8 GS/s [9].

Das Blockdiagramm des gesamten VHDL-Entwurfs für den FPGA ist in Bild 23 dargestellt [6]. Es enthält eine serielle Schnittstelle (*serial interface*) zur Kommunikation mit einem PC, einen Protokolldeko-der (*protocol decoder*) zur Interpretation der über die serielle Schnittstelle gesendeten Befehle und eine Einheit zur Steuerung der jeweiligen Messung (*measurement control*). Über die Steuerung werden die Datenempfänger (*receiver*) und Datensender (*transmitter*) kontrolliert. Die Empfänger und Sender bestehen im Kern aus auf dem FPGA verfügbarem „Block-RAM“, in welchem die empfangenen bzw. die zu sendenden Daten abgespeichert werden. Die Synchronisation erfolgt über das Verschieben der Speicheradresse. Das Block-RAM wird über den Protokolldeko-der und die serielle Schnittstelle asynchron auf einen PC ausgelesen (Datenempfang vom A/D-Wandler) bzw. vom PC beschrieben (Datenausgabe an den D/A-Wandler). Die bisher beschriebenen Blöcke auf dem FPGA befinden sich in einer langsamen Taktdomäne (Taktfrequenz ~ 50 MHz). Auf der den Wandlern zugewandten Seite des Block-RAMs erfolgt der Übergang in die schnelle Taktdomäne, in welcher auch die mehrfachparallelen Hochgeschwindigkeitsschnittstellen (*RocketIO*) auf dem FPGA liegen

(Referenztaktfrequenz 390,625 MHz und HF-Oszillatorfrequenz 3,125 GHz bei 25 GS/s Wandlerrate). In den Hochgeschwindigkeitsschnittstellen werden die vom A/D-Wandler-System empfangenen Daten für die Speicherung im Block-RAM parallelisiert bzw. die aus dem Block-RAM ausgelesenen Daten für die Übermittlung an das D/A-Wandler-System serialisiert.

9 Zusammenfassung und Ausblick

Die nach bestem Wissen der Autoren derzeit schnellsten als Einzelbauelemente verfügbaren CMOS-D/A- bzw. CMOS-A/D-Wandler mit digitalen Echtzeitschnittstellen wurden, zusammen mit der zum Betrieb notwendigen Aufbau- und Montagetechnik und FPGA-Messumgebung, vorgestellt. Die Wandler sind in 90 nm CMOS-Technologie realisiert und bieten eine variable Wandlerrate bis über 25 GS/s und eine nominale Auflösung von 6 bit. Vergleichbare für Echtzeitexperimente geeignete Wandler sind in SiGe-Bipolar-Technologie realisiert [10, 11, 12]. Die bereits bekannten noch schnelleren CMOS-D/A-Wandler-Prototypen [13] und CMOS-A/D-Wandler-Prototypen [14, 15] in 65 nm-Technologie mit Wandlerraten bis 56 GS/s sind aufgrund fehlender nach außen geführter Schnittstellen nicht für Echtzeitexperimente geeignet.

Weiterhin wurden Multiplexer- und Demultiplexer-ICs vorgestellt, welche den Betrieb der Wandler an 6,25 Gbit/s schnellen FPGA-Schnittstellen ermöglichen. Diese ICs unterstützen auf der Wandlerseite Datenraten bis 14 Gbit/s. Ein SiGe-Taktverteilungschip ermöglicht die Taktung des gesamten Wandler-Systems.

Die Wandler werden derzeit auf Dünnschichtsubstraten zusammen mit den Multiplexer-ICs bzw. den Demultiplexer-ICs aufgebaut. Die Dünnschichtsubstrate werden auf HF-Trägerplatten aufgebracht. Eine auf kommerziellen FPGA-Evaluationsplatinen aufbauende Messumgebung mit in VHDL implementierten Schnittstellenfunktionen ermöglicht die Charakterisierung der Wandler und Echtzeitexperimente.

Durch die gewählte Aufteilung der Funktionen ist es möglich, die Wandler ohne Zwischenschaltung der Multiplexer- bzw. Demultiplexer-ICs zu betreiben, sobald FPGA-Evaluationsplatinen mit ausreichend vielen 12,5 Gbit/s-Schnittstellen verfügbar sind.

10 Literatur

- [1] K. Roberts, M. O'Sullivan, K.-T. Wu, H. Sun, A. Awadalla, D. J. Krause, C. Laperle, "Performance of Dual-Polarization QPSK for Optical Transport Systems", *Journal of Lightwave Technology*, vol.27, no.16, pp. 3546-3559, August 2009.
- [2] Thomas Alpert, Felix Lang, Markus Grözing, Manfred Bertho, "25 GS/s 6-bit Pseudo Segmented Current Steering DAC in 90 nm CMOS", *European Solid-State Circuits Conference (ESSCIRC) 2009 Fringe*, Athens, Greece, September 14-18, 2009.

- [3] Felix Lang, Thomas Alpert, Damir Ferenci, Markus Grözing, Manfred Berroth, "Design of a 25 GS/s 6-bit Flash-ADC in 90 nm CMOS technology", European Solid-State Circuits Conference (ESSCIRC) 2009 Fringe, Athens, Greece, September 14-18, 2009.
- [4] Hao Huang, Markus Grözing, Thomas Alpert, Manfred Berroth, "12.5 Gbit/s Configurable Threefold 2:1 MUX and 1:2 DEMUX Chips in 130 nm CMOS Technology", European Solid-State Circuits Conference (ESSCIRC) 2010 Fringe, Sevilla, Spain, September 13-17, 2010.
- [5] Markus Grözing, Martin Schmidt, Manfred Berroth, "A 56 Gbit/s 0.35 μm SiGe Limiting Amplifier with 2.4 THz Gain-Bandwidth-Product", Compound Semiconductor IC Symposium (CSICS) 2010, Monterey, CA, USA, October 3-6, 2010.
- [6] Damir Ferenci, Manfred Berroth, "A 100 Gigabit Measurement System with State of the Art FPGA Technology for Characterization of High Speed ADCs and DACs", Conference on Ph.D. Research in Microelectronics & Electronics (PRIME) 2010, Berlin, Germany, July 18-21, 2010.
- [7] Thomas Alpert, Felix Lang, Damir Ferenci, Markus Grözing, Manfred Berroth, "A 28 GS/s 6 b Pseudo Segmented Current Steering DAC in 90 nm CMOS", accepted for publication at International Microwave Symposium (IMS) 2011, Baltimore, MD, USA, 2011.
- [8] Felix Lang, Thomas Alpert, Damir Ferenci, Markus Grözing, Manfred Berroth, "A 6 bit 25 GS/s Flash Interpolating ADC in 90 nm CMOS Technology", submitted to Conference on Ph.D. Research in Microelectronics & Electronics (PRIME) 2011, Madonna di Campiglio, Italy, July 4-8, 2011.
- [9] Damir Ferenci, Markus Grözing, Felix Lang, Manfred Berroth, "A 3 bit 20 GS/s flash ADC in 65 nm low power CMOS technology", European Microwave Integrated Circuits Conference (EuMIC) 2010, Paris, France, September 27-28, 2010.
- [10] Tobias Ellermeyer, Jens Müllrich, Jörg Rupeter, Henning Langenhagen, Anna Bielik and Michael Moller, "DA and AD Converters for 25 GS/s and Above", IEEE/LEOS Summer Topical Meetings, Acapulco, Mexico, Juli 21-23, 2008.
- [11] Datenblatt "VEGA DAC I & II", Micram Microelectronic GmbH, http://www.micram.com/attachments/030_DAC_family.pdf, 2009.
- [12] Datenblatt "VEGA ADC30", Micram Microelectronic GmbH, http://www.micram.com/attachments/030_VEGA_ADC30.pdf, 2009.
- [13] Y. M. Greshishchev, D. Pollex, S.-C. Wang, M. Besson, P. Flemeke, S. Szilagyi, J. Aguirre, C. Falt, N. Ben-Hamida, R. Gibbins, P. Schvan, "A 56 GS/s 6 b DAC in 65 nm CMOS with 256 x 6 b memory", International Solid-State-Circuits Conference (ISSCC) 2011, San Francisco, CA, USA, February 2011.
- [14] Y. M. Greshishchev, J. Aguirre, M. Besson, R. Gibbins, C. Falt, P. Flemeke, N. Ben-Hamida, D. Pollex, P. Schvan, S.-C. Wang, "A 40 GS/s 6 b ADC in 65 nm CMOS", International Solid-State-Circuits Conference (ISSCC) 2010, San Francisco, CA, USA, February 2010.
- [15] Factsheet "56 GSa/s 8-bit ADC Development Kit", Fujitsu Microelectronics Europe, <http://chais.info>, February 2009.