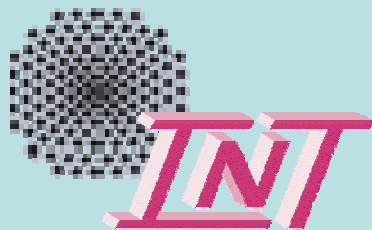


Elektronische Entzerrer und A/D-Wandler-Komponenten in CMOS-Technologie für die schnelle serielle Datenübertragung

Markus Grözing und Manfred Berroth



Universität Stuttgart

Institut für Elektrische und Optische Nachrichtentechnik

Prof. Dr.-Ing. Manfred Berroth

Übersicht

- Motivation
- Entzerrungsmethoden

Abtast - Entzerrer

- Elektrischer Kanal
- Entzerrer- Struktur
- Schaltungsentwurf
- Messergebnisse
- Zusammenfassung

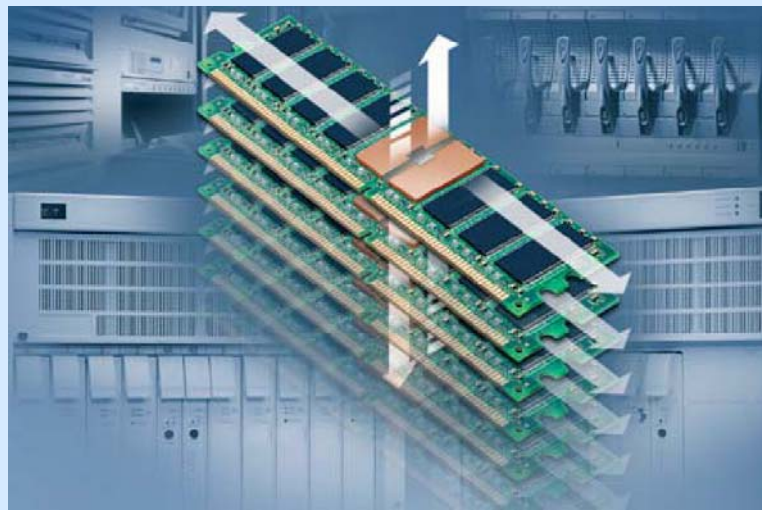
ADC - Komponenten

- A/D-Wandler Konzept
- Abtast-Halte-Glied
- Komparator
- Entscheider-Flip-Flop
- Zusammenfassung

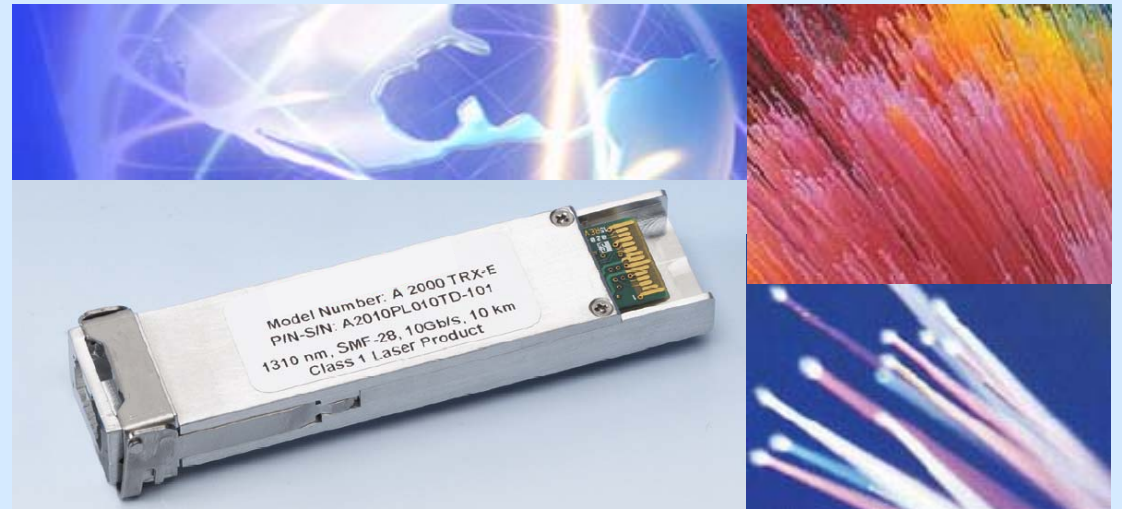
- Ausblick



Serielle Datenübertragung



Computer-Massenmarkt, z.B. Schnittstelle Prozessor-Speicher
DDR3: 1 Gbit/s, FBDIMM: 4,8 Gbit/s
morgen: 7 bis 10 Gbit/s
Übertragungsstrecke: 2 bis 20 cm



Optische Übertragungsstrecken, z.B. LAN, MAN und WAN
heute: 2,5 bis 10 Gbit/s
morgen: 40 bis 100 Gbit/s
Übertragungsstrecke: 10 m bis 1000 km

Vermittlungsknoten, Großrechner, z.B. Rückwandplatinen / Prozessormodule

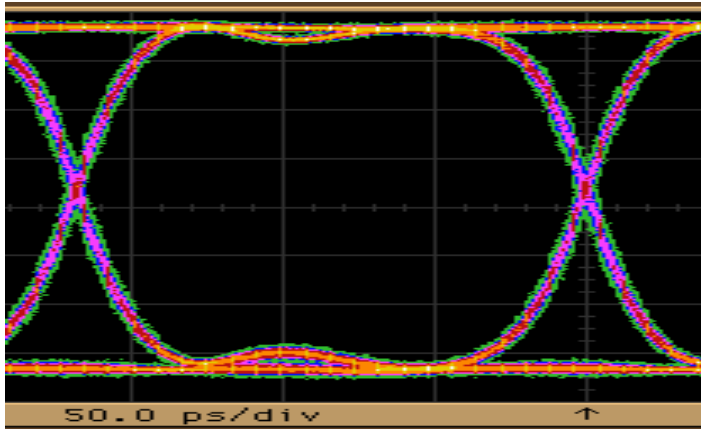
heute: wenige Gbit/s
morgen: > 10 Gbit/s
Übertragungsstrecke: bis ca. 1m



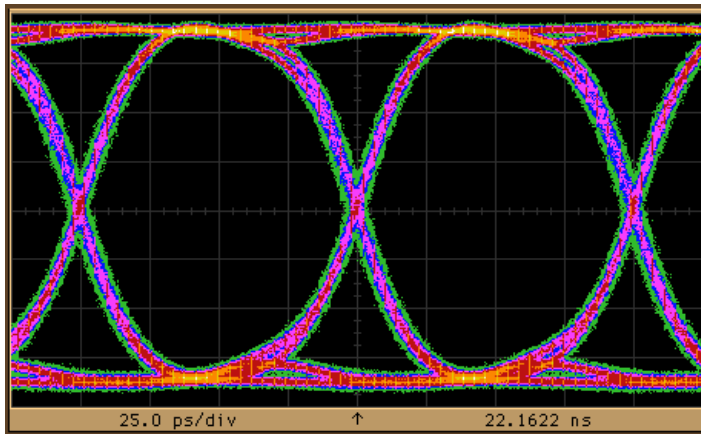
Kanal mit Dispersion

Dispersion verursacht Intersymbolinterferenz (ISI)

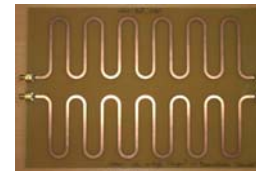
Auge am
Sender:



6 Gbit/s

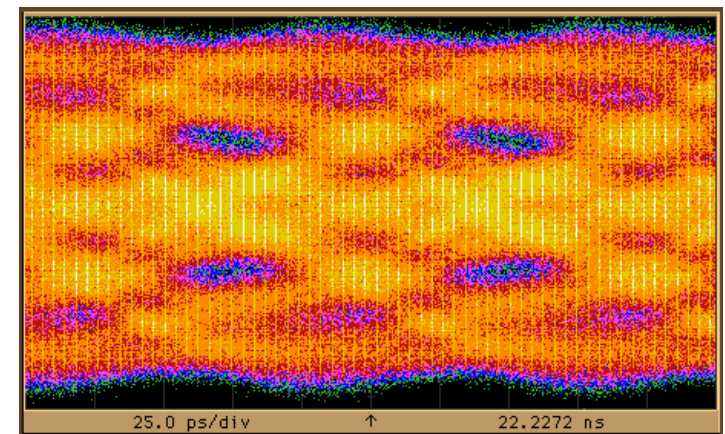
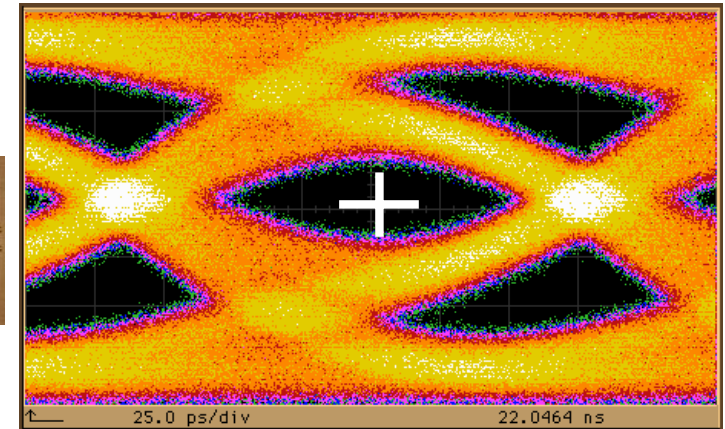


10 Gbit/s



50 Ω
Leitung
auf
FR4
90 cm

Auge am
Empfänger:

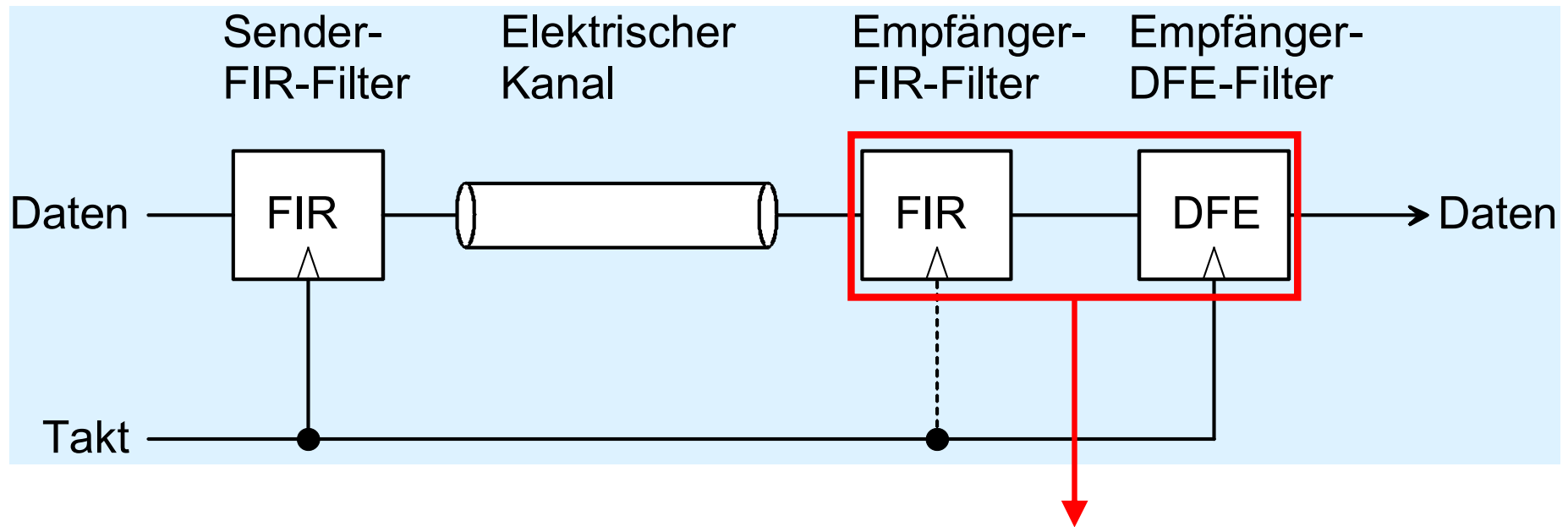


Universität Stuttgart

Institut für Elektrische und Optische Nachrichtentechnik
Professor Dr.-Ing. Manfred Berroth

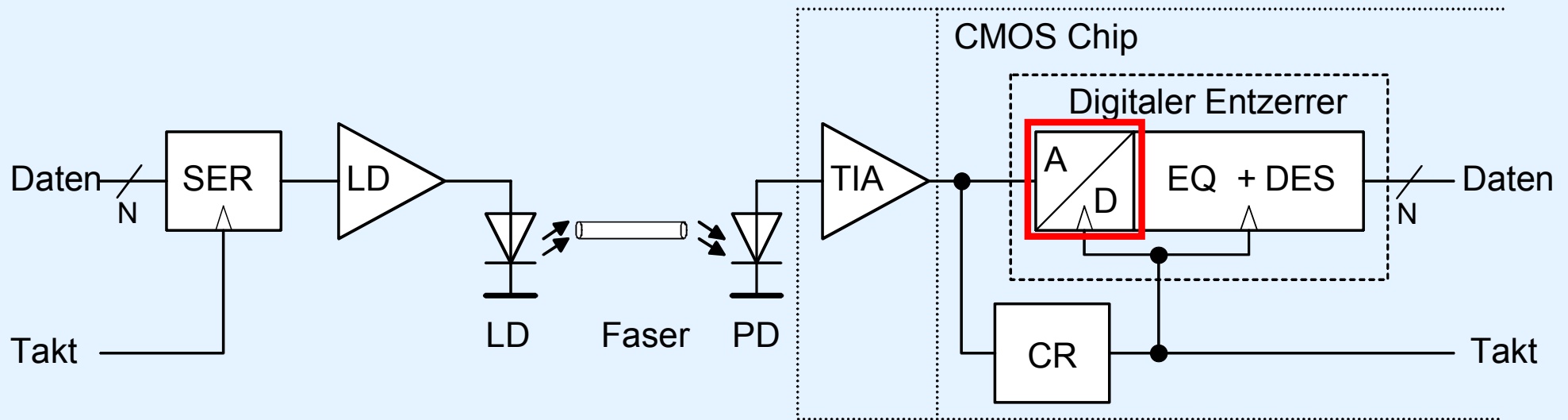
Elektronische Entzerrer und A/D-Wandler-Komponenten in
CMOS-Technologie für die schnelle serielle Datenübertragung
Kleinheubacher Tagung 2006, 25.09.2006, © Markus Grözling / INT

Analoge Entzerrung: Vor- und Nachverzerrung



**Bitratenflexibler
Abtast-Entzerrer**

Digitale Entzerrung im Empfänger



Elektronische Dispersionskompensation für optische Weitverkehrsstrecken

Digitale “Maximum likelihood sequence estimation” (MLSE)

→ Schneller A/D-Wandler mit moderater Auflösung

Bitratenflexibler empfängerseitiger Abtast-Entzerrer für Datenraten bis 10 Gbit/s in 130 nm CMOS

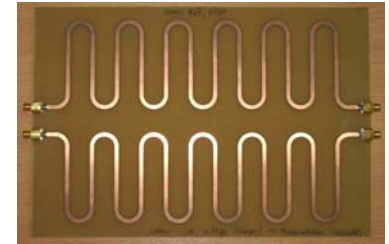
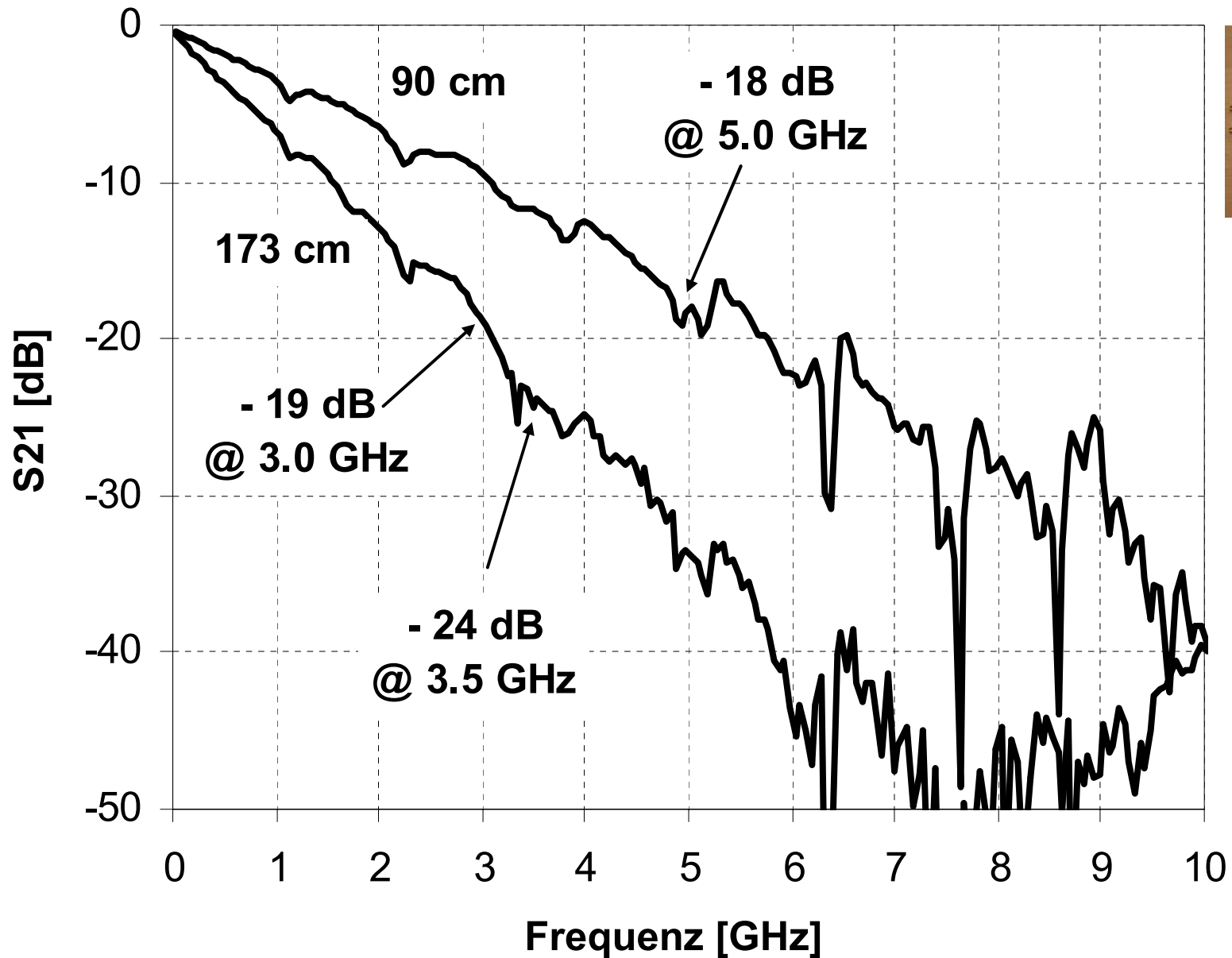


Universität Stuttgart

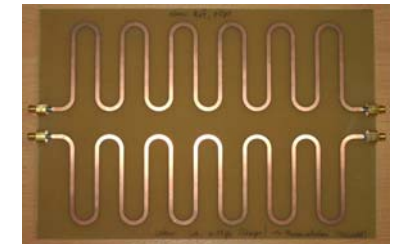
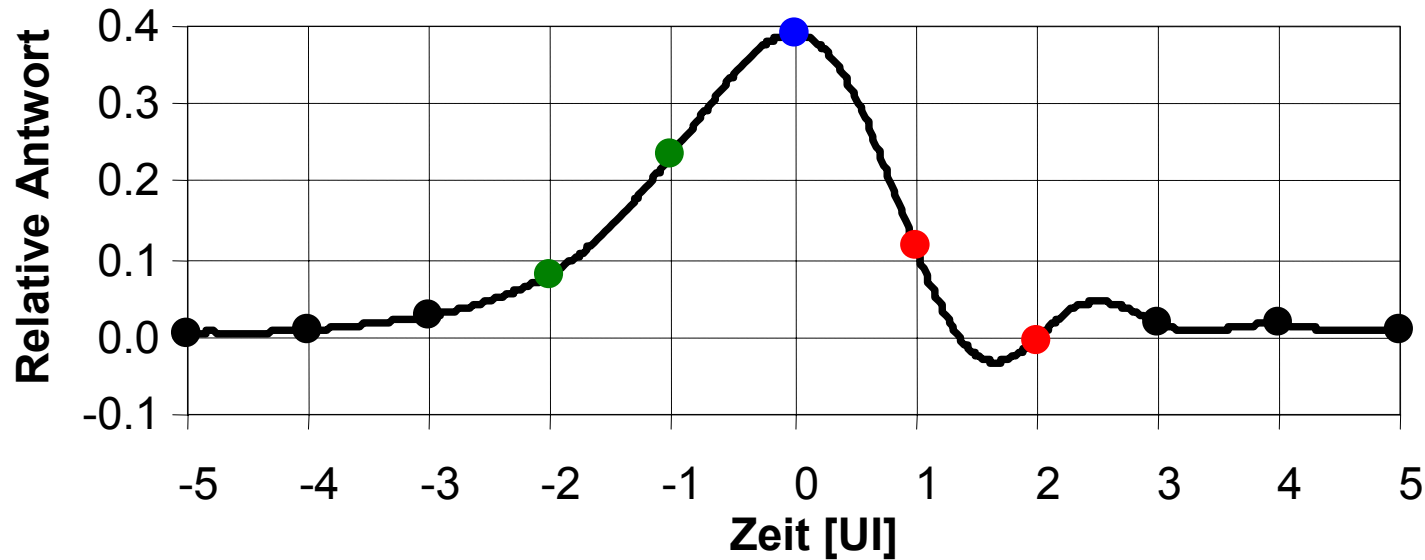
Institut für Elektrische und Optische Nachrichtentechnik
Professor Dr.-Ing. Manfred Berroth

Elektronische Entzerrer und A/D-Wandler-Komponenten in
CMOS-Technologie für die schnelle serielle Datenübertragung
Kleinheubacher Tagung 2006, 25.09.2006, © Markus Grözing / INT

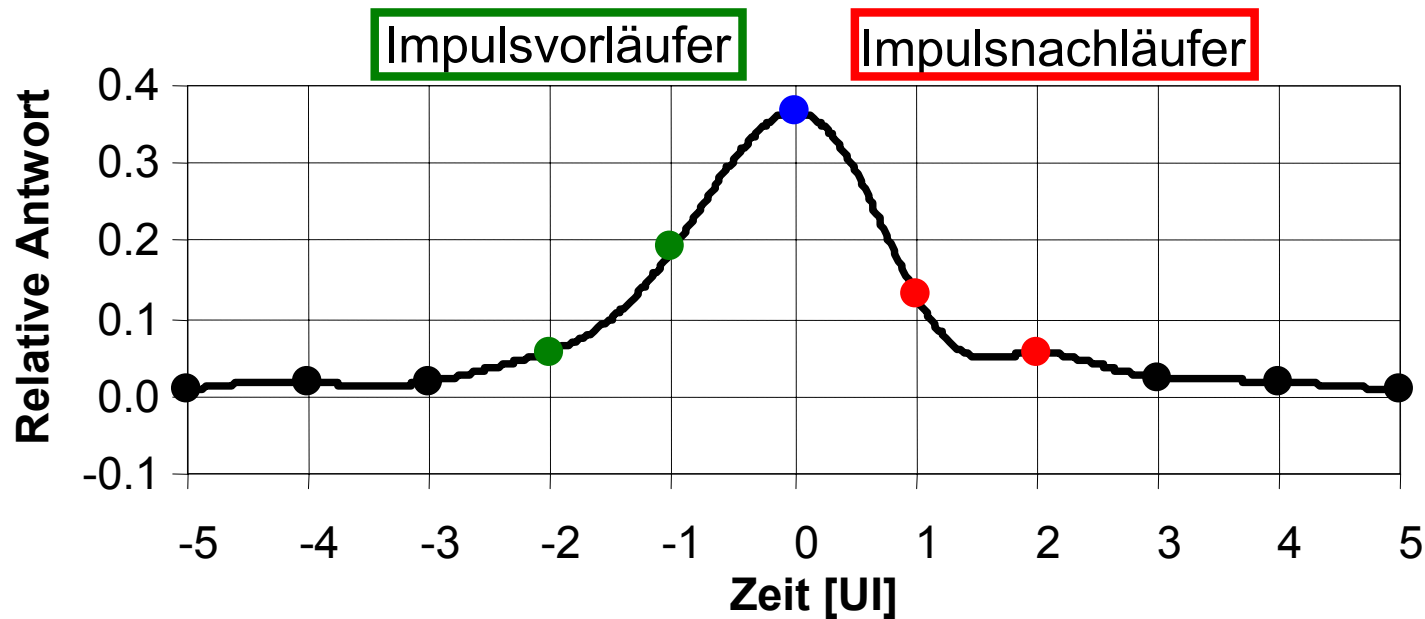
Einfügedämpfung der 50 Ω – Leitung auf FR4



Impulsantwort der 50 Ω – Leitung auf FR4



90 cm Leitung
bei 10 Gbit/s



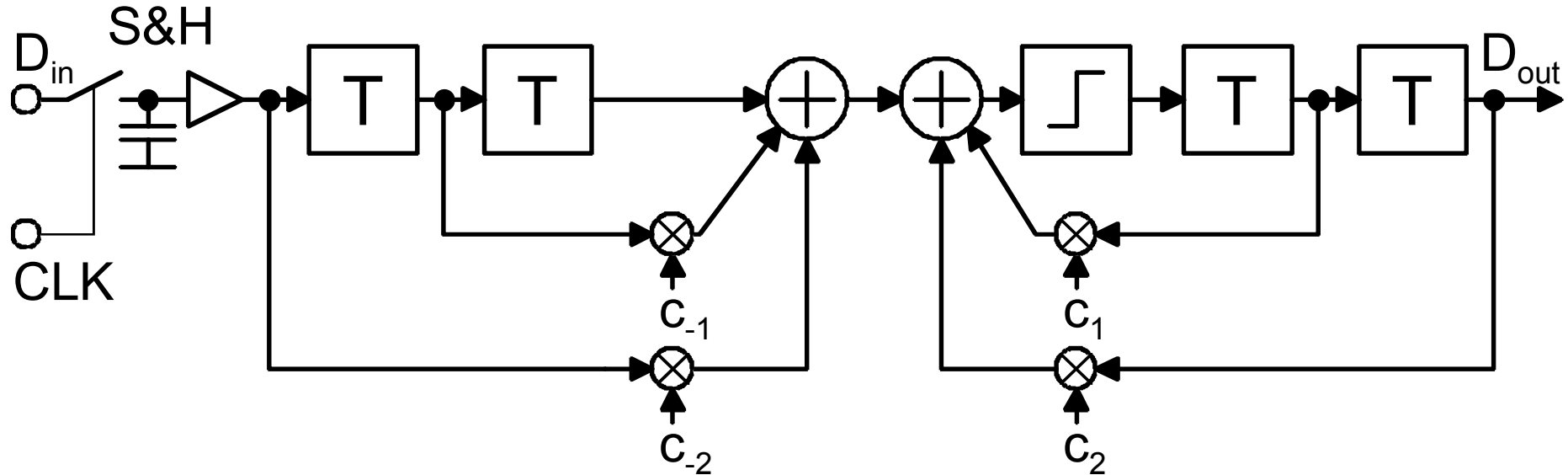
173 cm Leitung
bei 6 Gbit/s

Prinzipielle Filterstruktur des Entzerrers

Analoge
Verzögerung

Analoge Addition
und Gewichtung

Entscheidung
& Digitale Verzögerung



Filter mit Finiter
Impulsantwort (FIR)

Entscheidungsrückgekoppeltes
Filter (DFE)

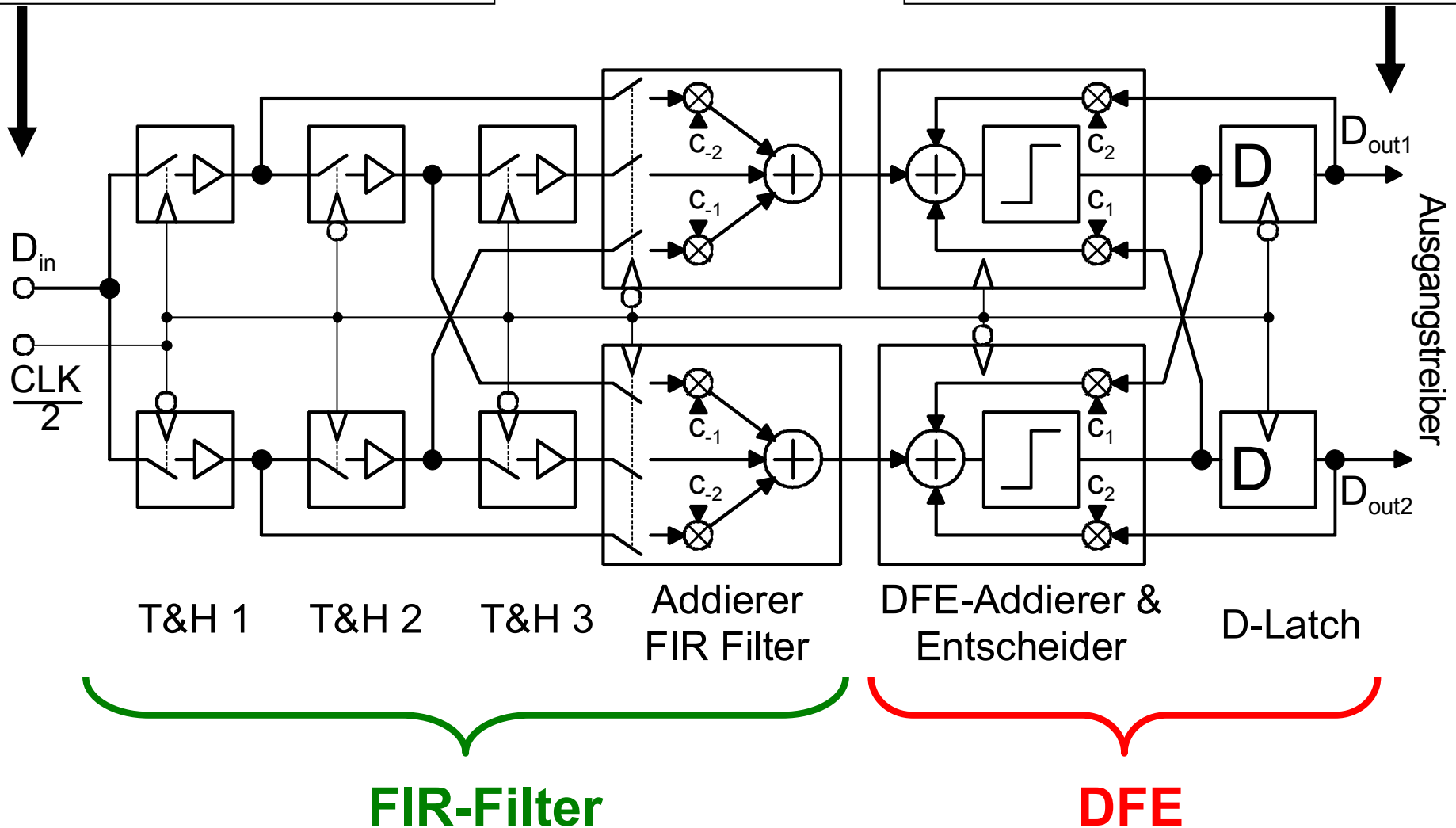
dämpft Impulsvorläufer

dämpft Impulsnachläufer

Halbratenstruktur des Entzerrers

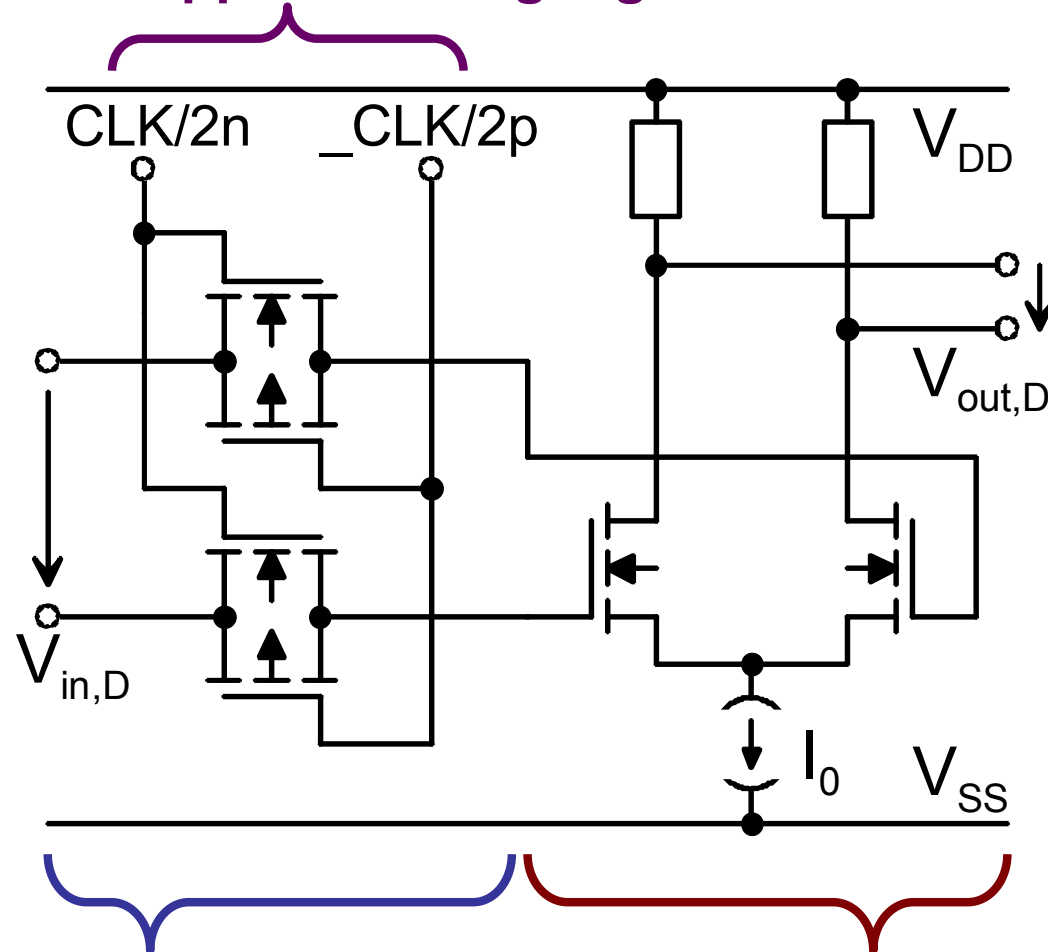
Vollraten-Dateneingang
Halbraten-Takt

Gedemultiplexte
Halbraten-Datenausgänge



Schaltungsentwurf (1): Folge-Halte-Glied

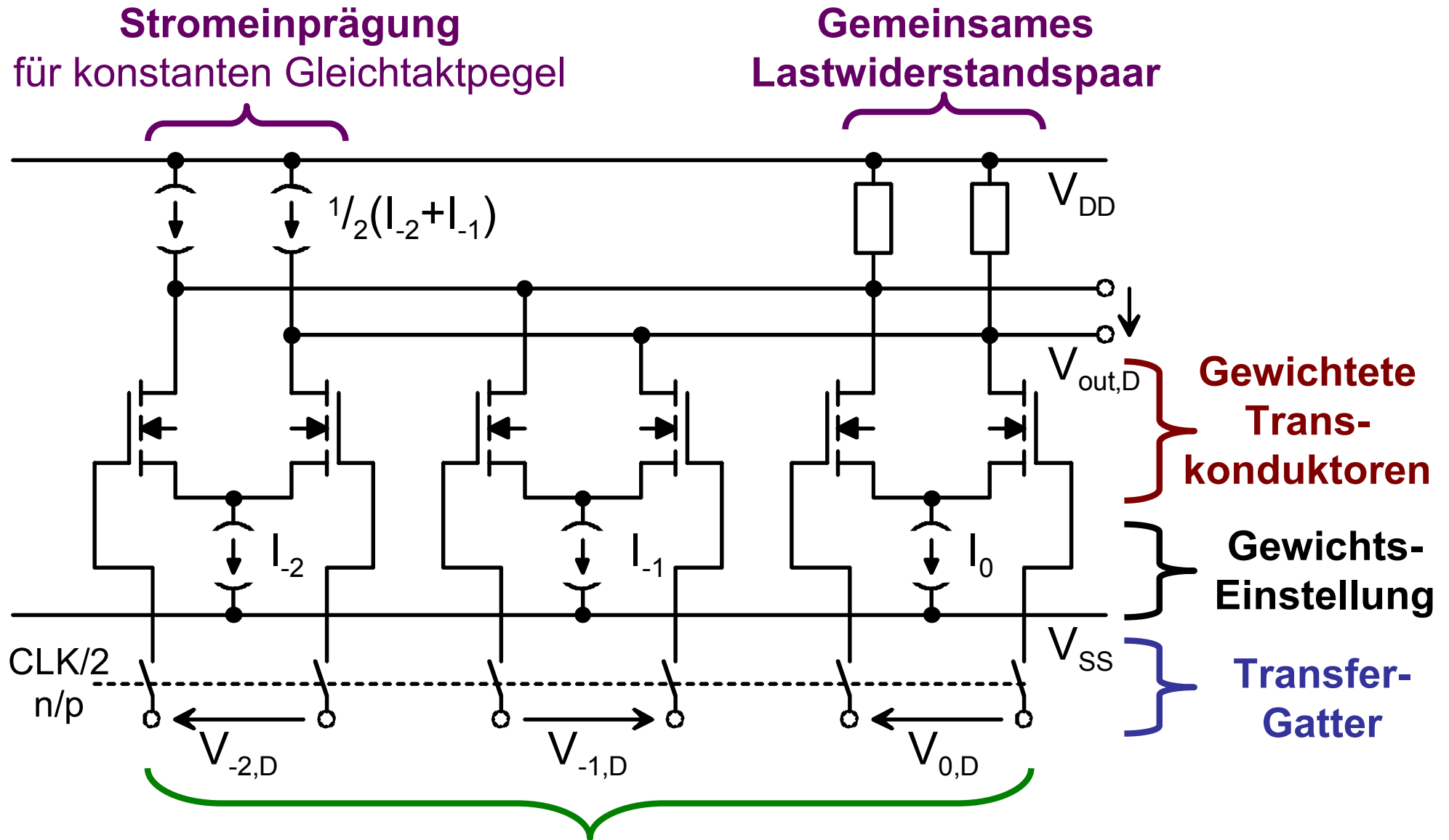
Gebotstrappte Takteingänge



**Differentielles
komplementäres Transfertgatter**
optimiert für minimale Einschwingzeit

Pufferverstärker (A=1)
optimiert für
Geschwindigkeit & Linearität

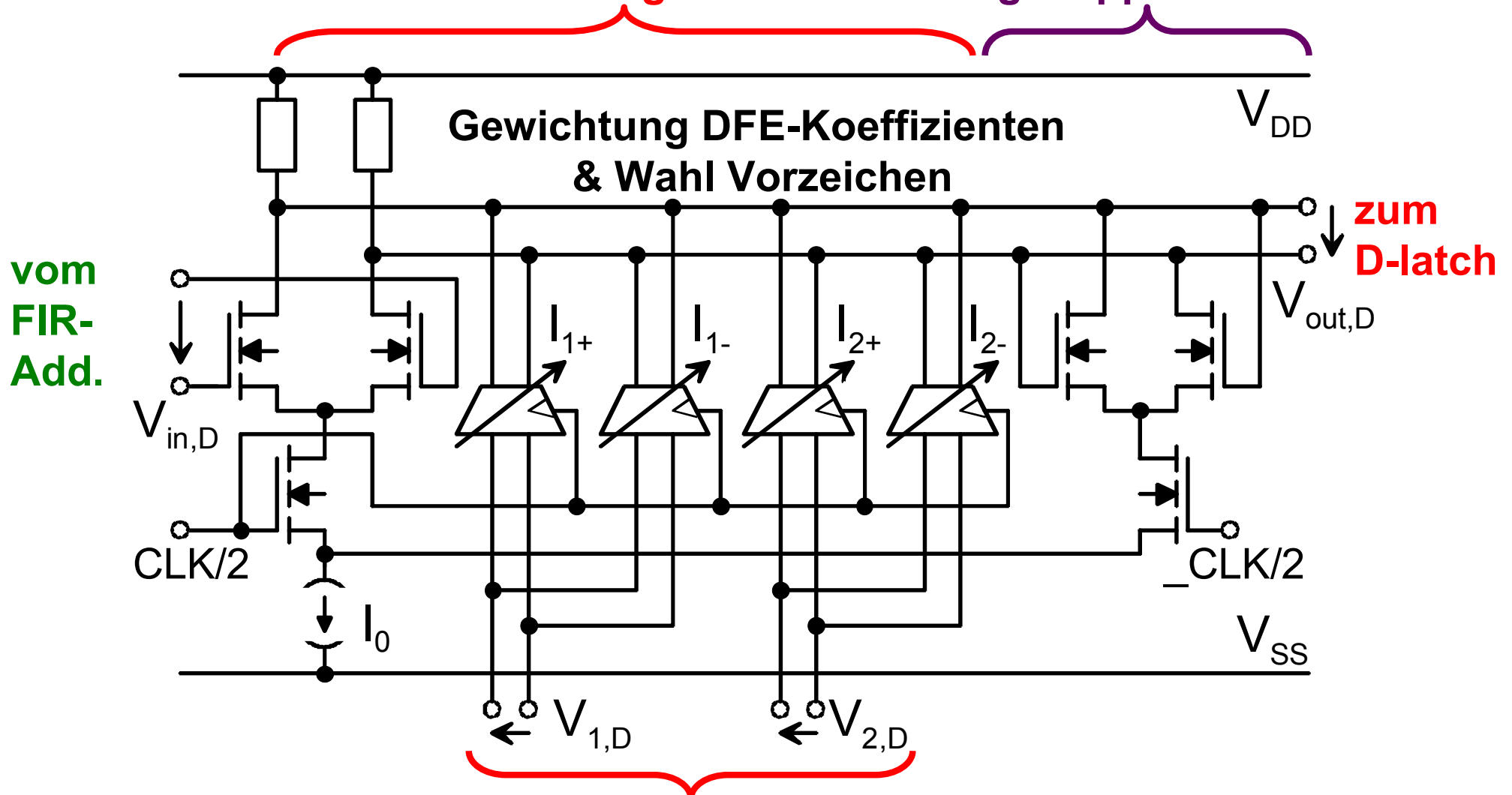
Schaltungsentwurf (2): Addierer für FIR-Filter



verbunden mit den Ausgängen der T&H-Verzögerungsketten

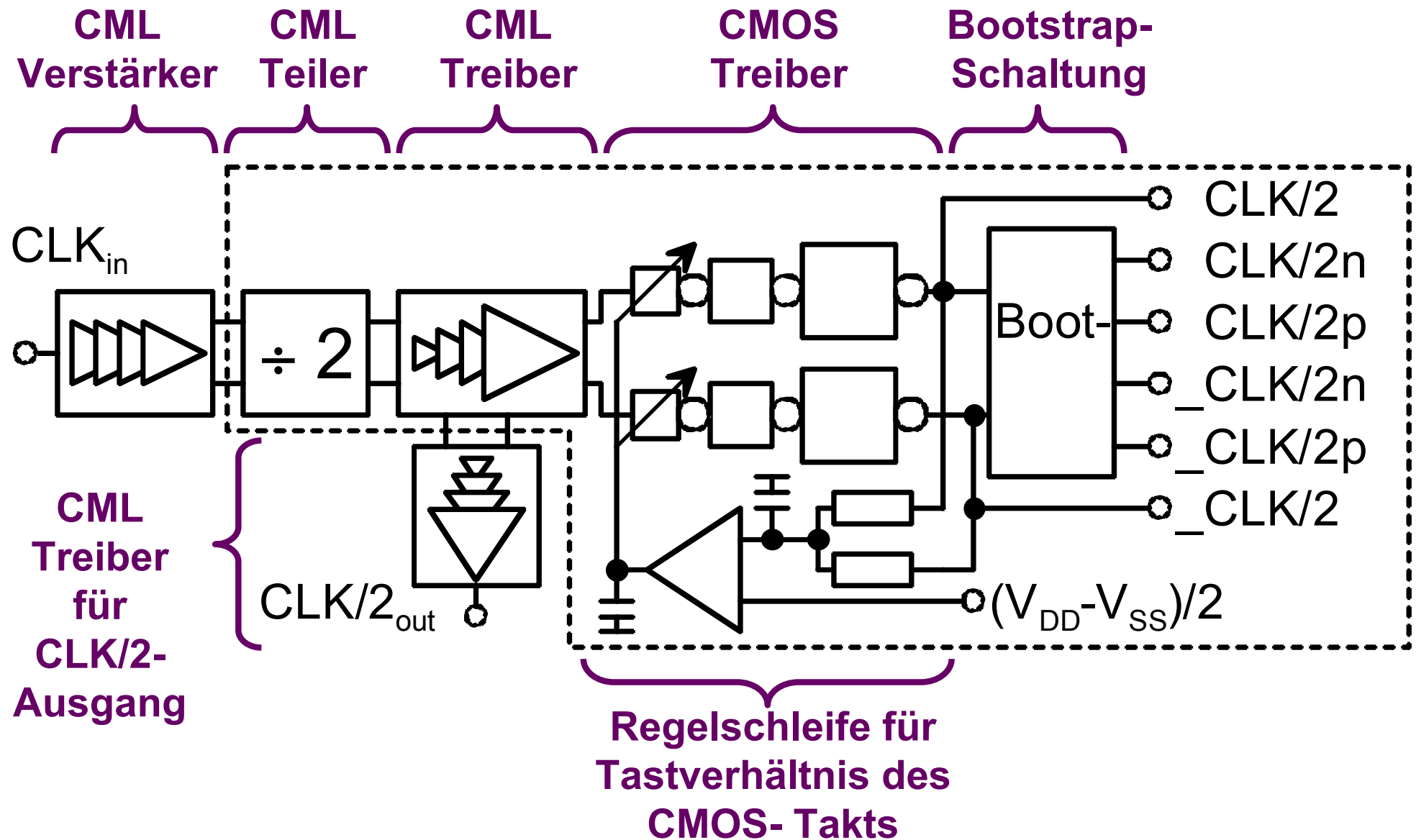
Schaltungsentwurf (3): DFE Addierer + Entscheider

DFE Analogaddierer kreuzgekoppelter Entscheider



verbunden mit dem Entscheider des parallelen Pfades ($V_{1,D}$)
dem D-Latch des gleichen Pfades ($V_{2,D}$)

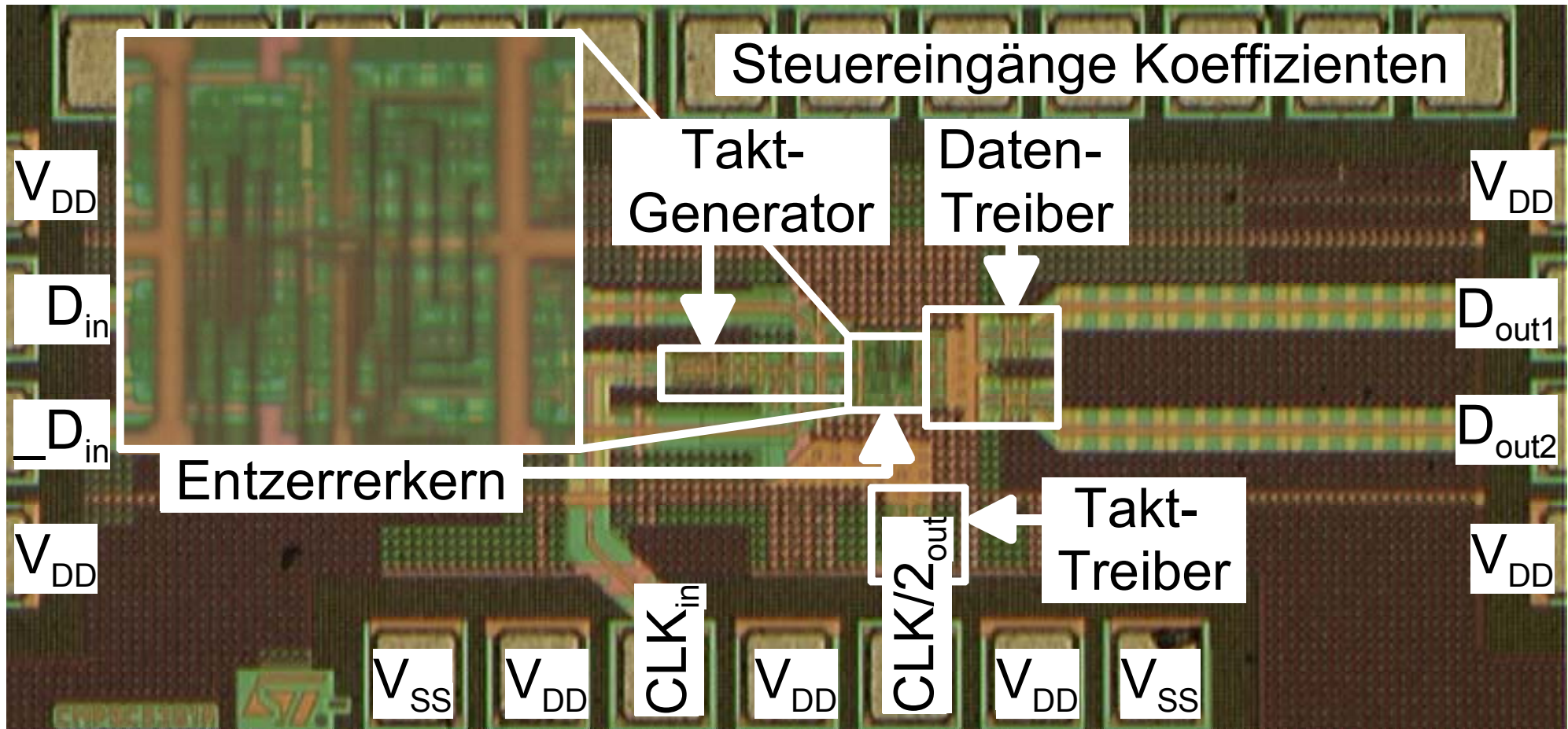
Schaltungsentwurf (4): Taktgenerator



Chipfoto

Eingang:
max. 10 Gbit/s

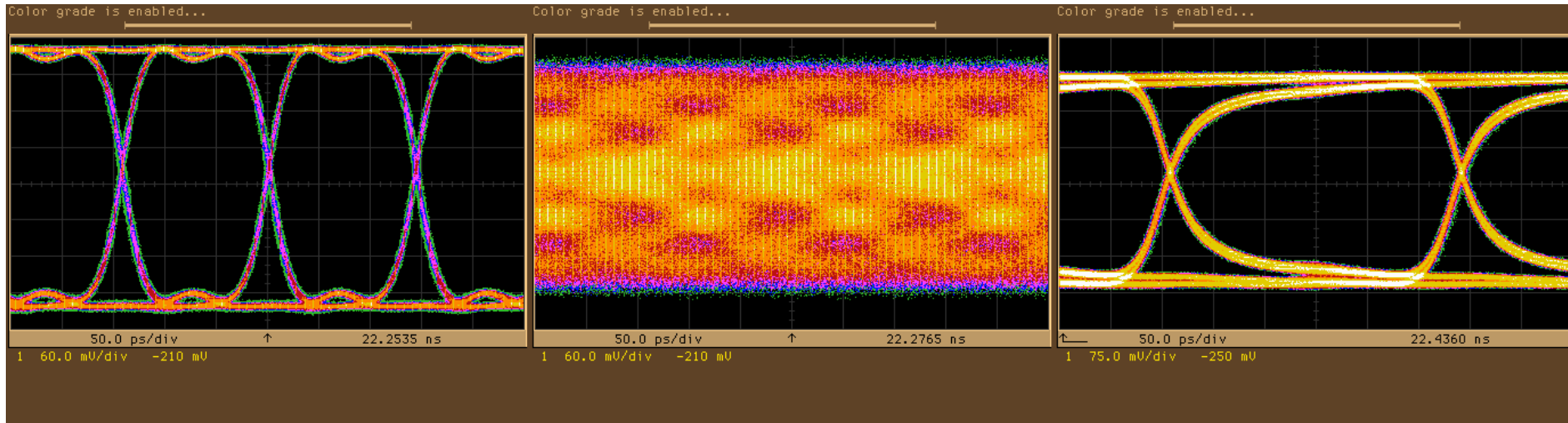
Ausgang:
max. 2x 5 Gbit/s



Chipfläche gesamt: 1400 μm x 600 μm
Chipfläche Kern: 60 μm x 56 μm



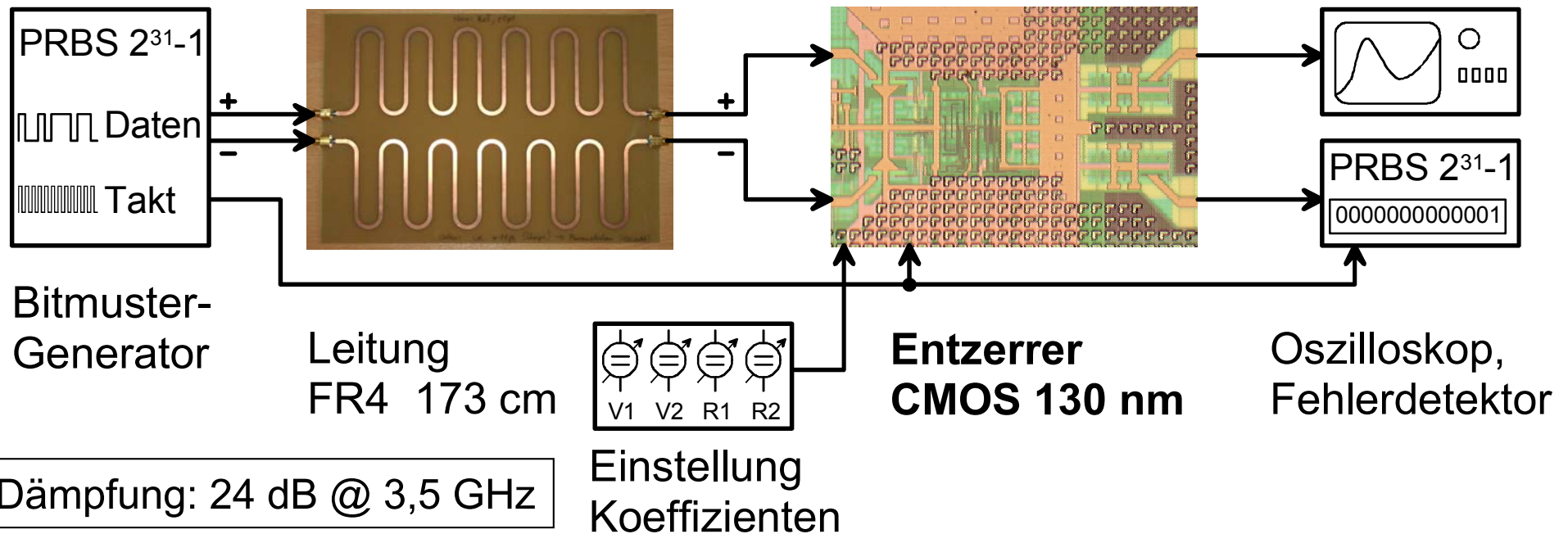
Messergebnisse (1): 7 Gbit/s über 173 cm FR4



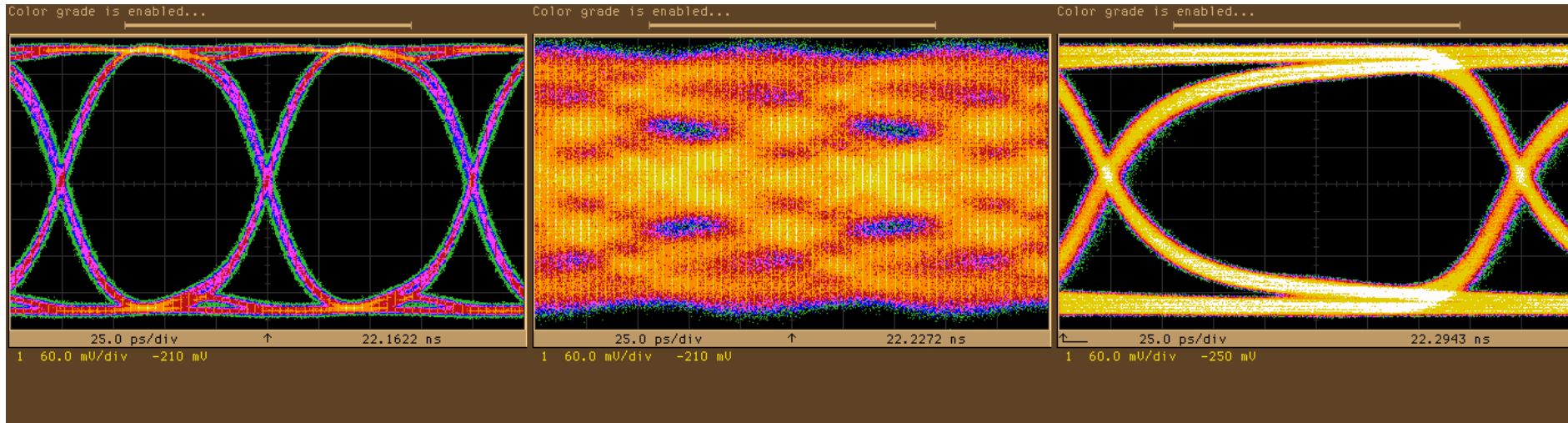
7 Gbit/s

7 Gbit/s

2x 3,5 Gbit/s



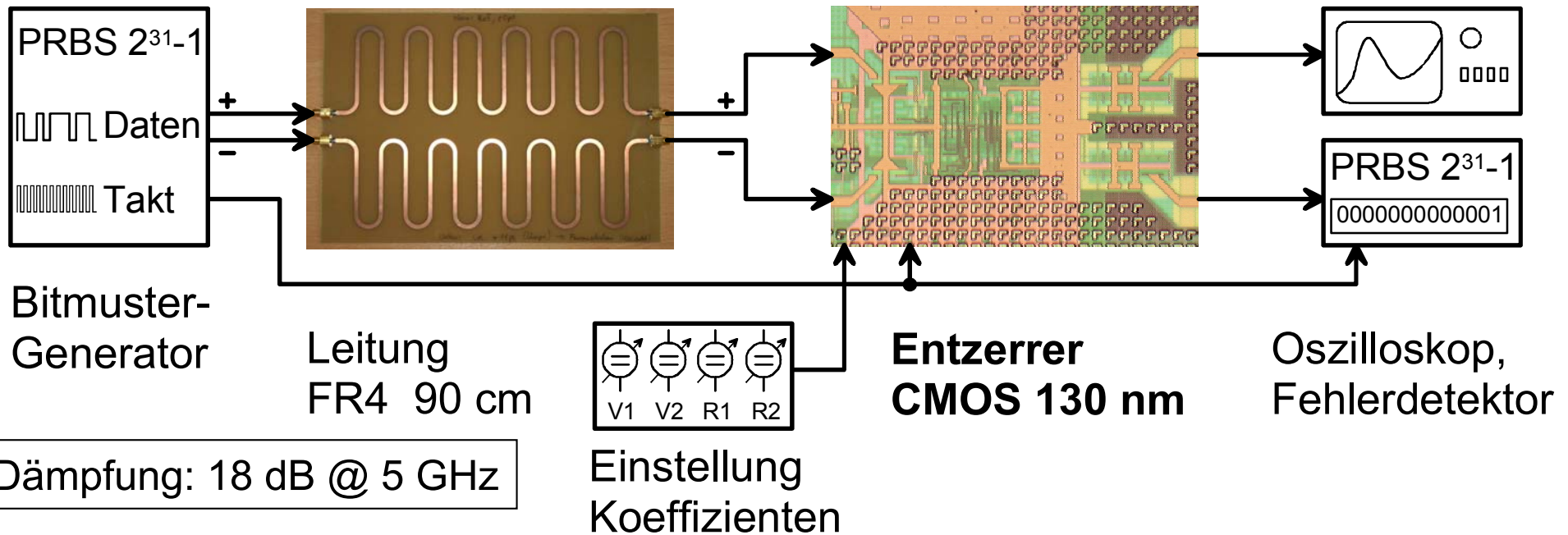
Messergebnisse (2): 10 Gbit/s über 90 cm FR4



10 Gbit/s

10 Gbit/s

2x 5 Gbit/s

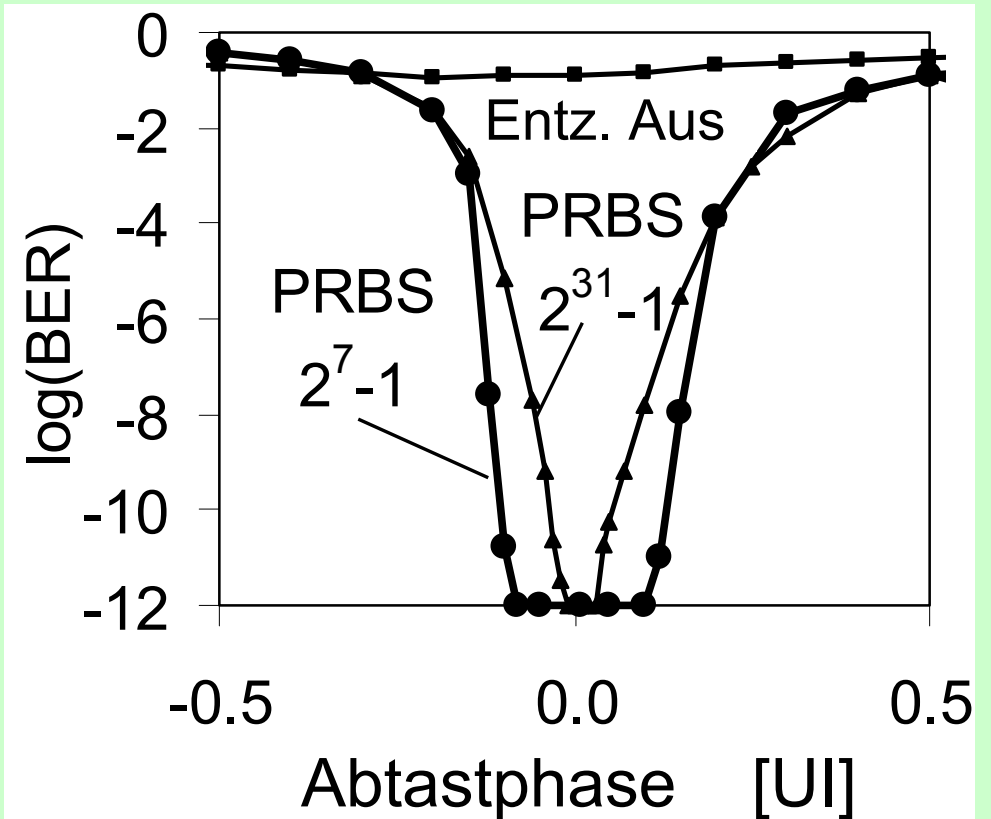
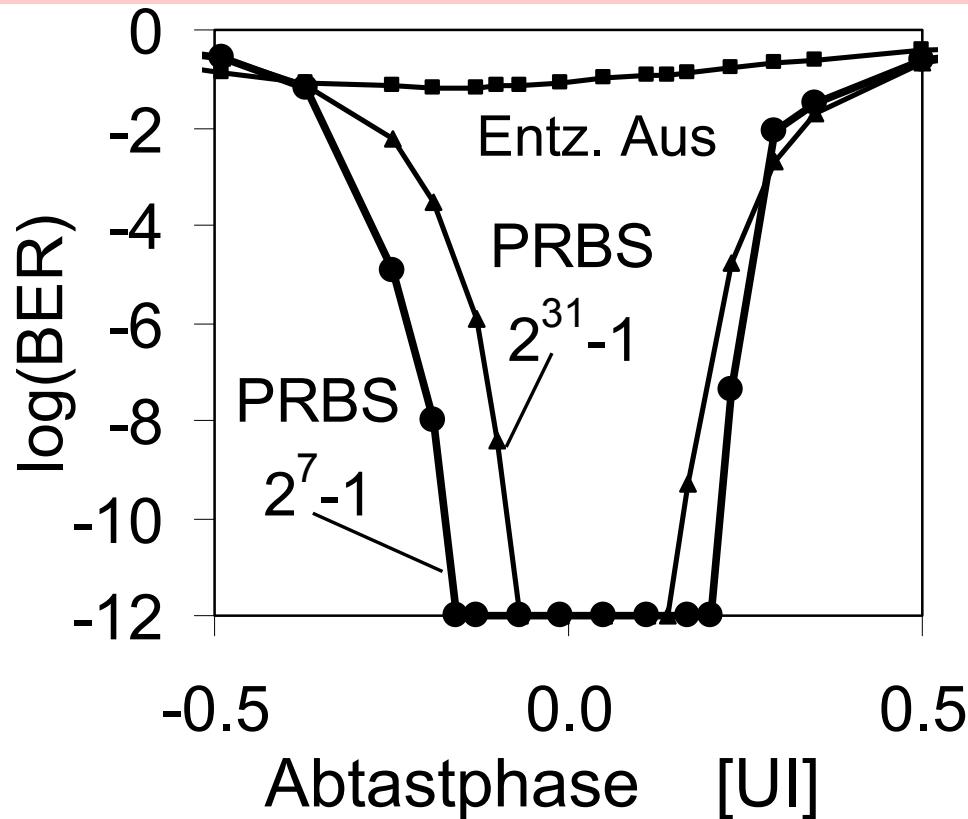


Dämpfung: 18 dB @ 5 GHz

Einstellung
Koeffizienten



Messergebnisse (3): BER versus Abtastphase



173 cm FR4-Leitung @ 6 Gbit/s
Dämpfung: 19 dB @ 3 GHz

90 cm FR4 Leitung @ 10 Gbit/s
Dämpfung: 18 dB @ 5 GHz

Eigenschaften des Entzerrers

Versorgungsspannung V_{DD}	1.3 V	P_{DC} Entzerrerkern*	21 mW
maximale Bitrate f_{max}	10 Gbit/s	P_{DC} Taktgenerator**	33 mW
minimale Bitrate f_{min}	0.5 Gbit/s	P_{DC} gesamt (mit Treibern)	200 mW
max. mögl. Kanaldämpfung für BER < 10^{-12} , PRBS $2^{31}-1$, 7 Gbit/s			24 dB
min. $V_{pp,PPG}$ für BER < 10^{-11} , PRBS 2^7-1 , 10 Gbit/s, 90 cm FR4			300 mV
min. $V_{pp,PPG}$ für BER < 10^{-11} , PRBS 2^7-1 , 6 Gbit/s, 173 cm FR4			230 mV

*Schaltung entsprechend Folie 11; **Schaltung in gestricheltem Rahmen von Folie 15.



Zusammenfassung Entzerrer

- **Empfängerseitiger FIR-DFE-Entzerrer bis 10 Gbit/s:**
 - kleine Chipfläche (Kern: 60 μm x 56 μm)
 - kleine Leistungsaufnahme (Kern: 21 mW, Takt: 33mW)
 - bis zu 24 dB Kanaldämpfungskompensation
 - keine Spiralinduktivitäten
 - realisiert in 130 nm Standard-CMOS-Technologie
- **Filtercharakteristik kann durch externen Takt kontinuierlich verschoben werden:**
 - volle Bitratenflexibilität
 - besonders geeignet für Messgeräte
- **Automatische Adaption ist Thema zukünftiger Arbeiten**



Schnelle A/D-Wandler-Komponenten in 90 nm CMOS

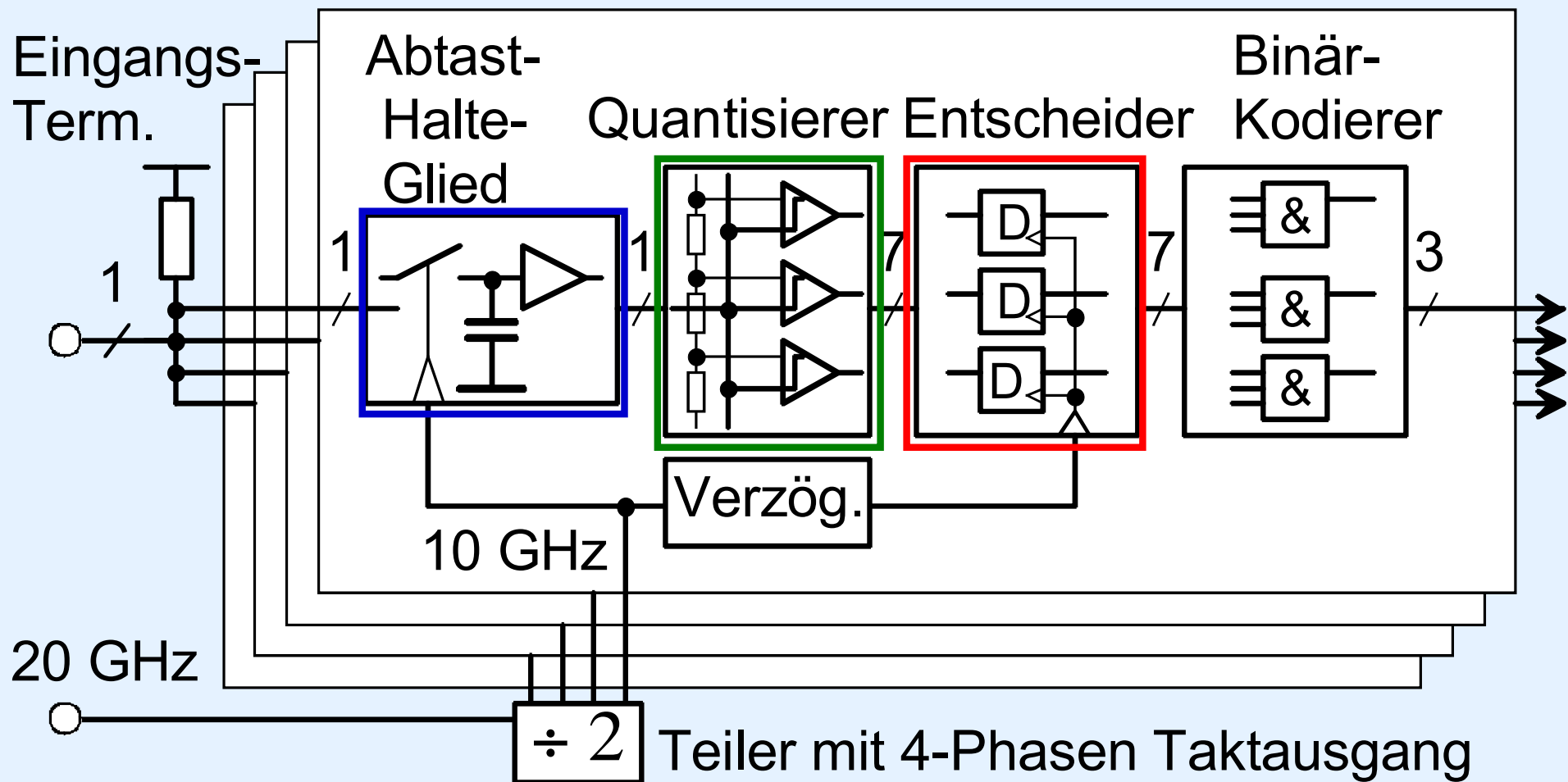


Universität Stuttgart

Institut für Elektrische und Optische Nachrichtentechnik
Professor Dr.-Ing. Manfred Berroth

Elektronische Entzerrer und A/D-Wandler-Komponenten in
CMOS-Technologie für die schnelle serielle Datenübertragung
Kleinheubacher Tagung 2006, 25.09.2006, © Markus Grözing / INT

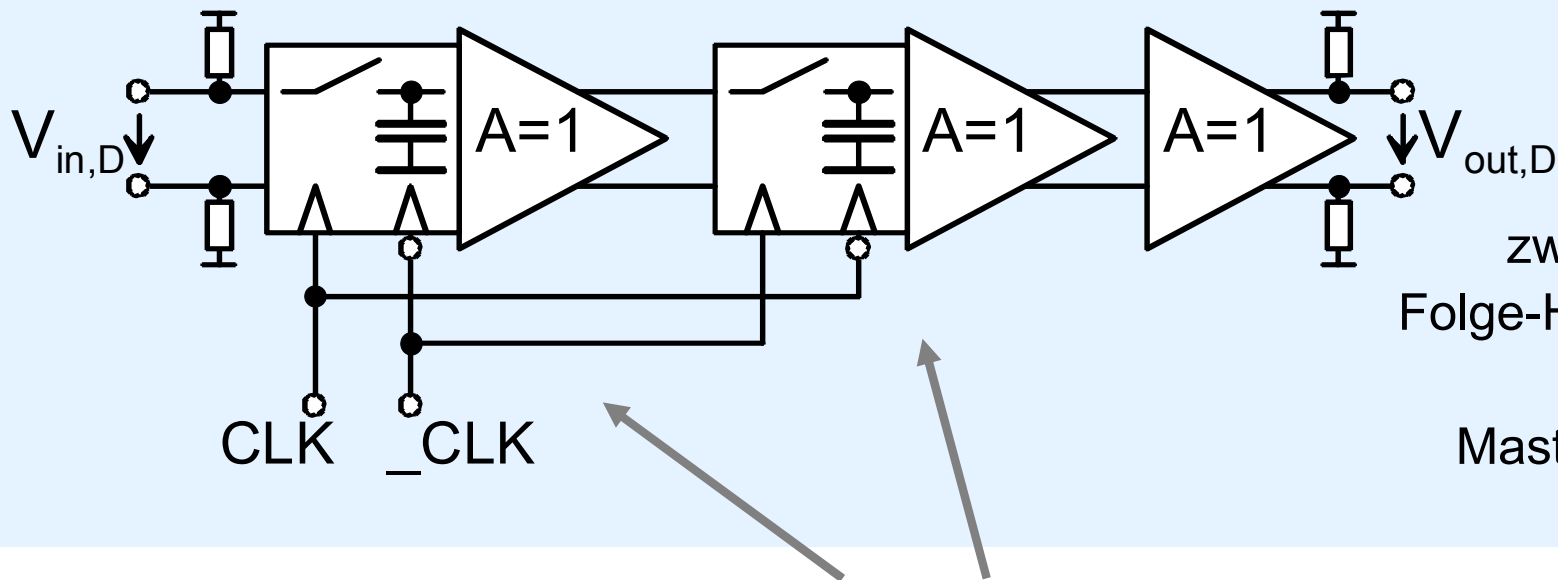
Mehrfach paralleler A/D-Wandler



Eingang: 40 Gbaud **4x verschachteltes:** **Quantisierer:** **Entscheidung:** **Ausgang:**
40 Gbaud **Abtast-Halte-Glied** **Komparatoren** **Flip-Flop** **4x3x10 Gbit/s**



Abtast-Halte-Glied: Schaltpläne

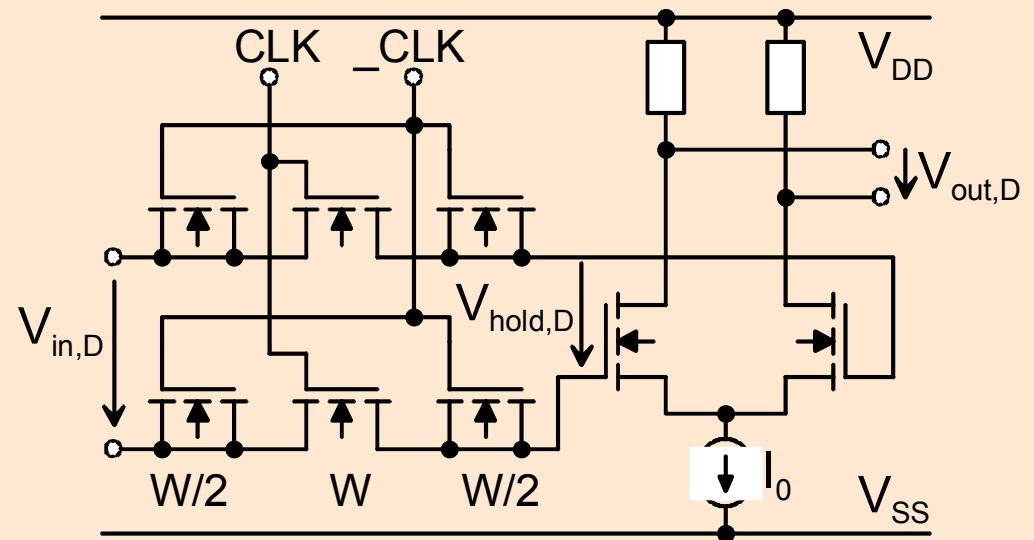


Blockdiagramm:

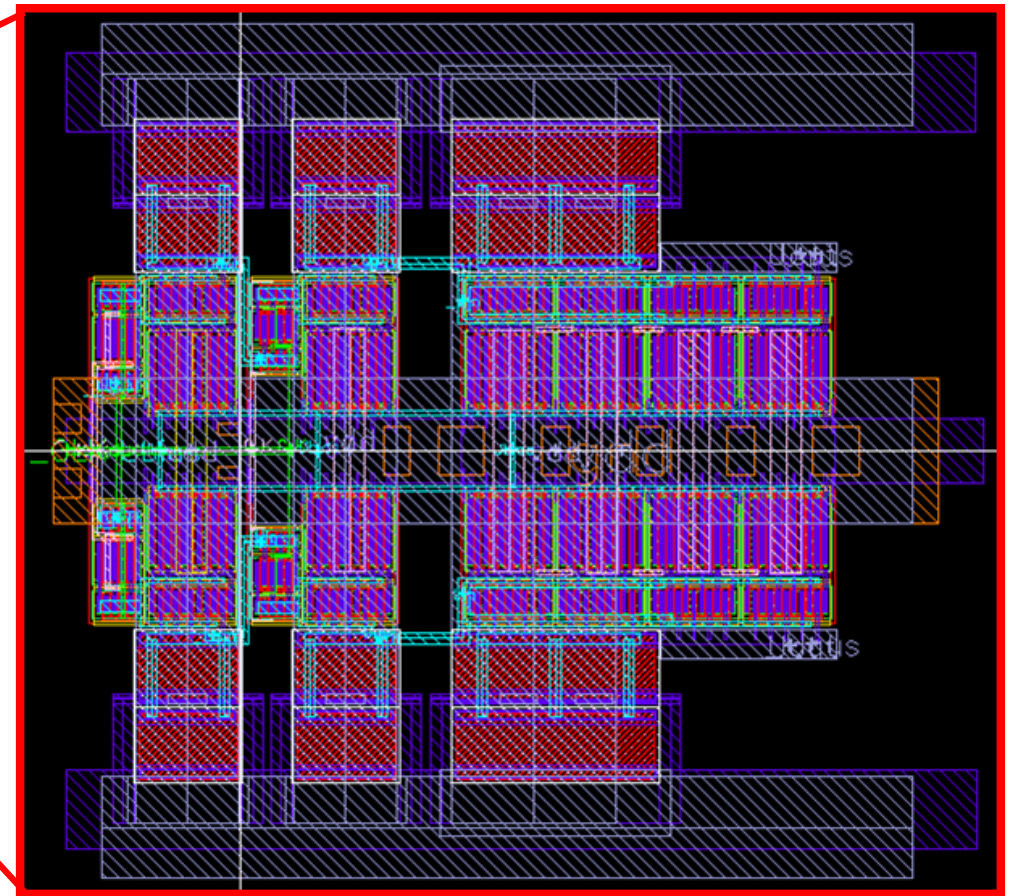
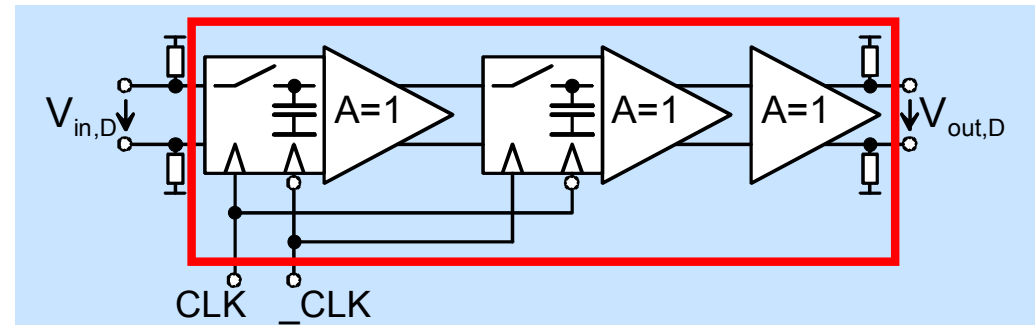
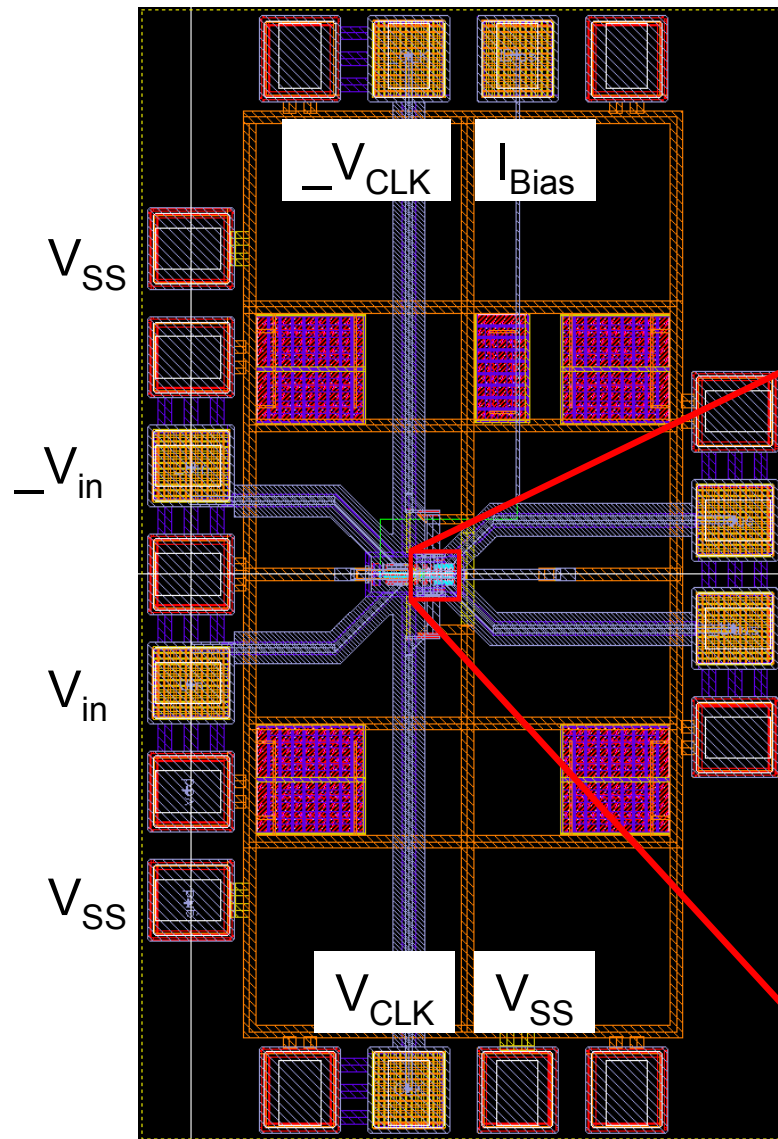
zwei kaskadierte
Folge-Halte-Glieder (T&H)
im
Master-Slave-Betrieb

Schaltplan Folge-Halte-Glied:

differentielles NMOS Transfertgatter
kompensiert mit Dummie-FETs
am Ein- und Ausgang
Pufferverstärker ($A=1$)

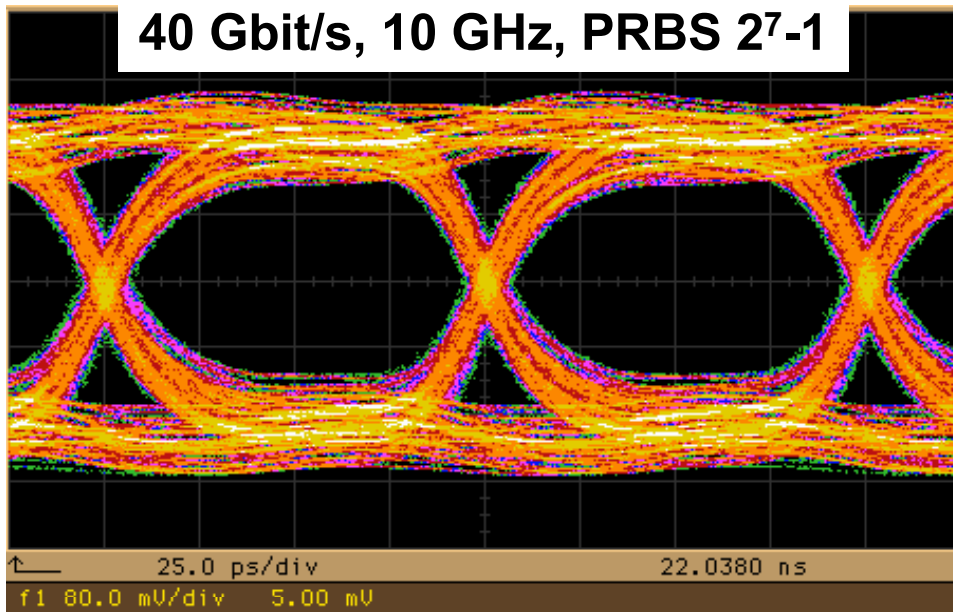


Abtast-Halte-Glied: Layout

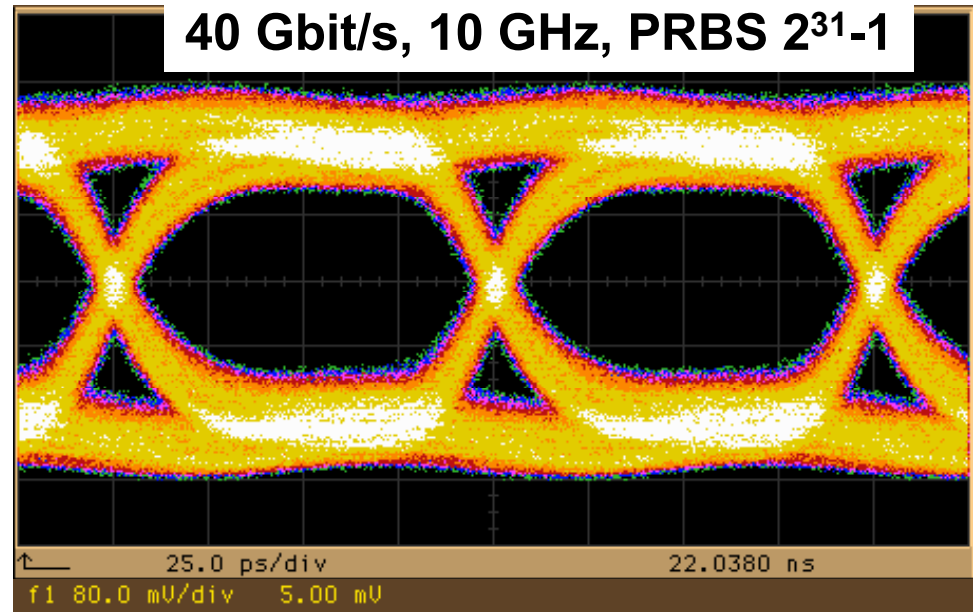


Abtast-Halte-Glied: Augen am Ausgang

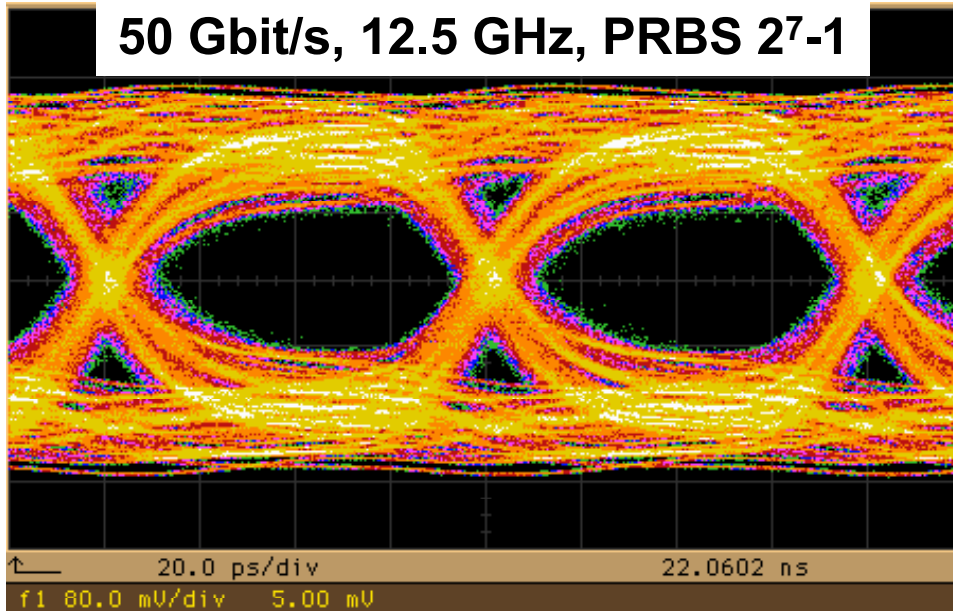
40 Gbit/s, 10 GHz, PRBS 2⁷-1



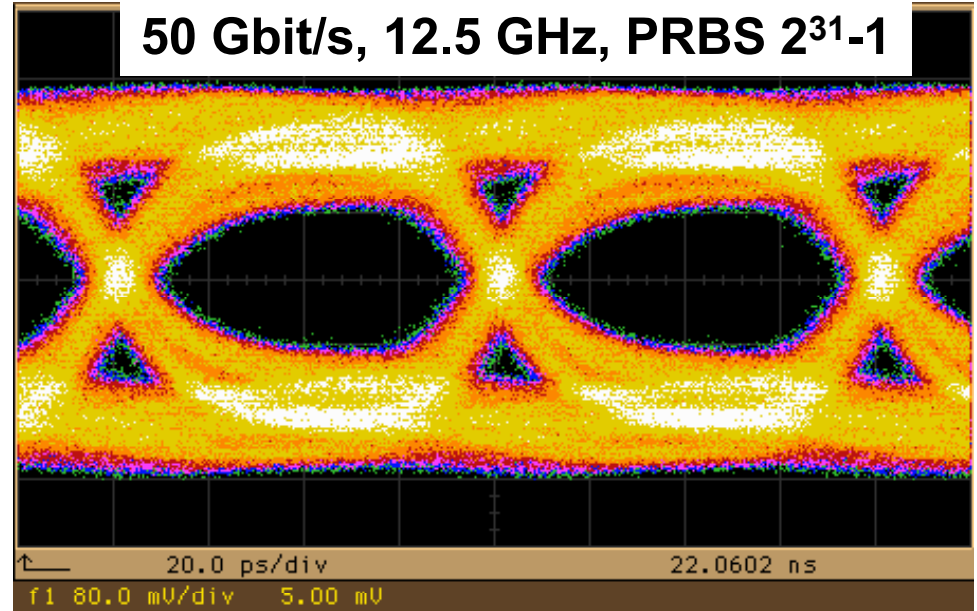
40 Gbit/s, 10 GHz, PRBS 2³¹-1



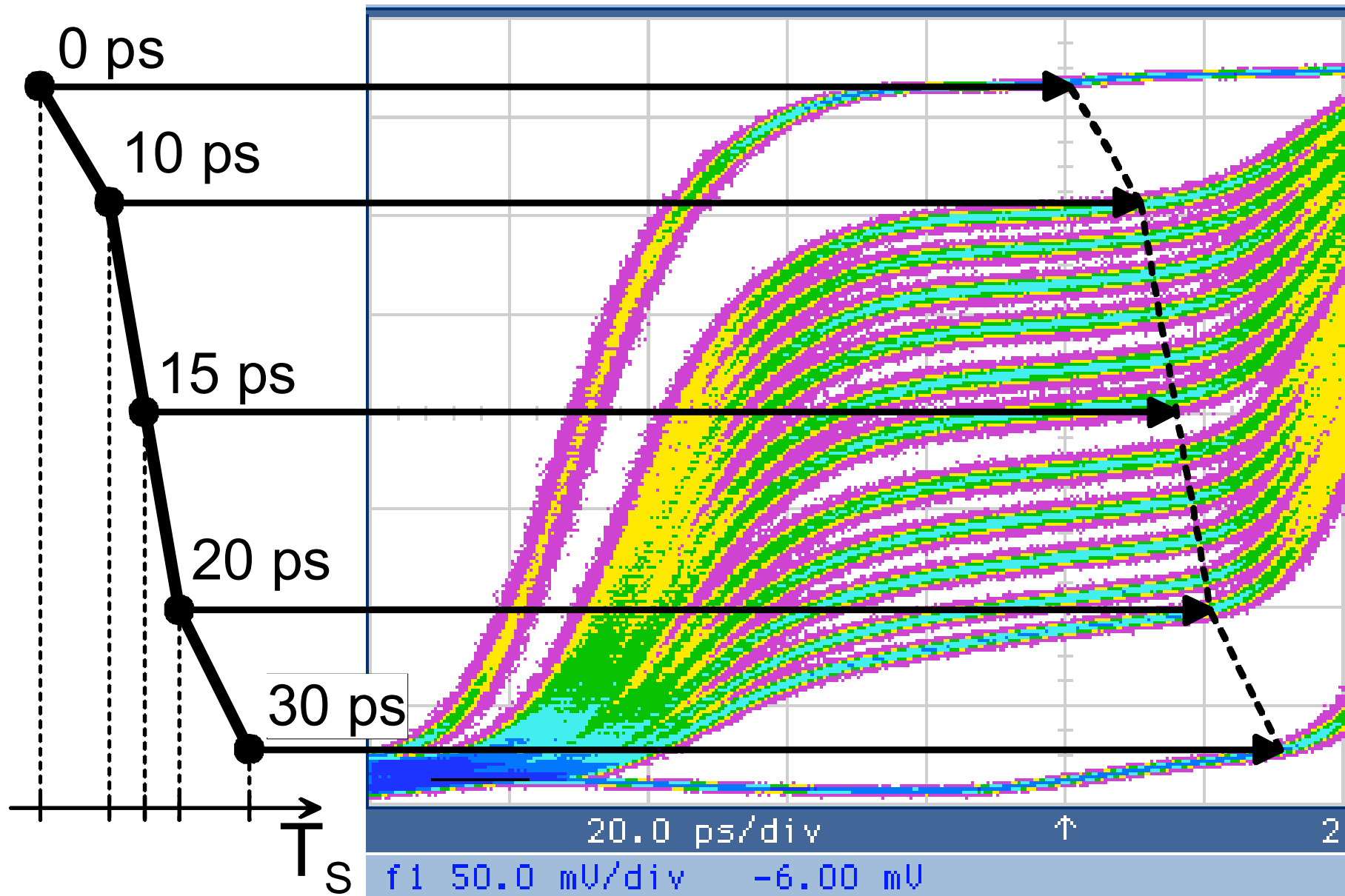
50 Gbit/s, 12.5 GHz, PRBS 2⁷-1



50 Gbit/s, 12.5 GHz, PRBS 2³¹-1



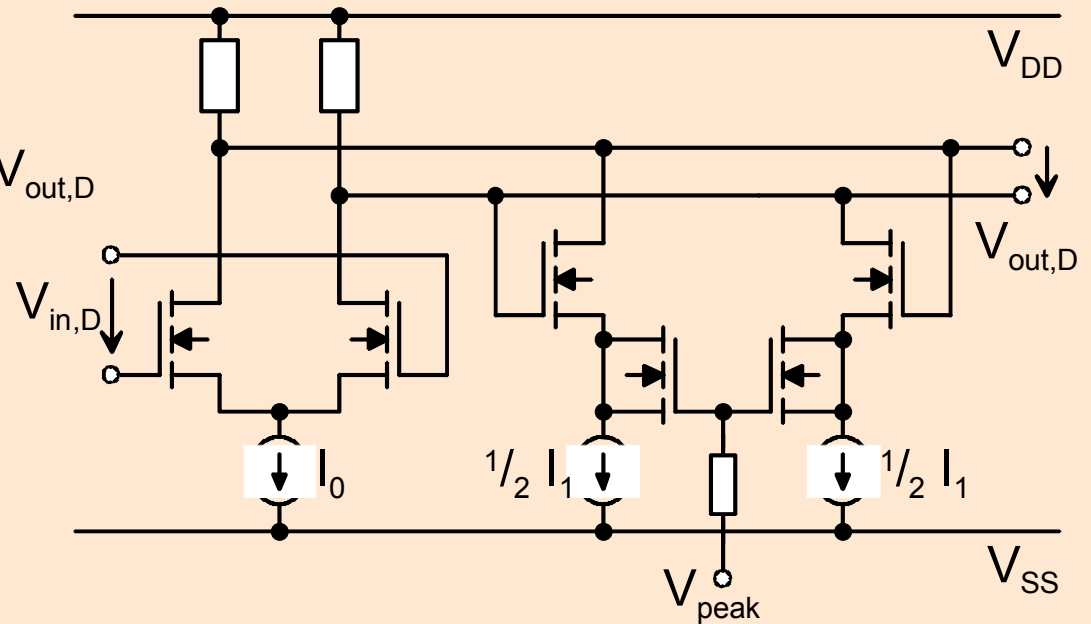
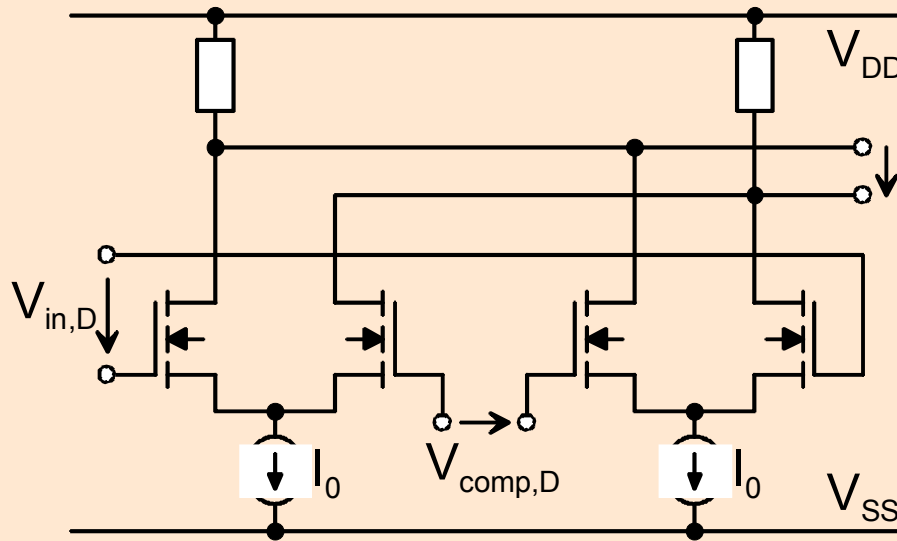
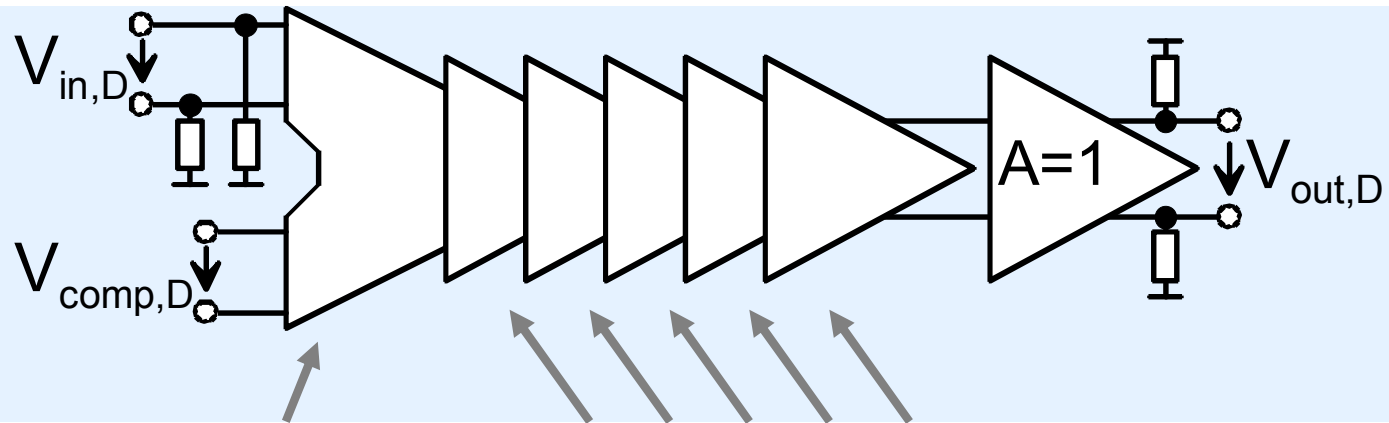
Abtast-Halte-Glied: Rekonstruktion Haltespannung



Komparator: Schaltpläne

**Blockdiagramm
Komparator:**

Vergleichsstufe
5 Verstärkerstufen
Ausgangstreiber



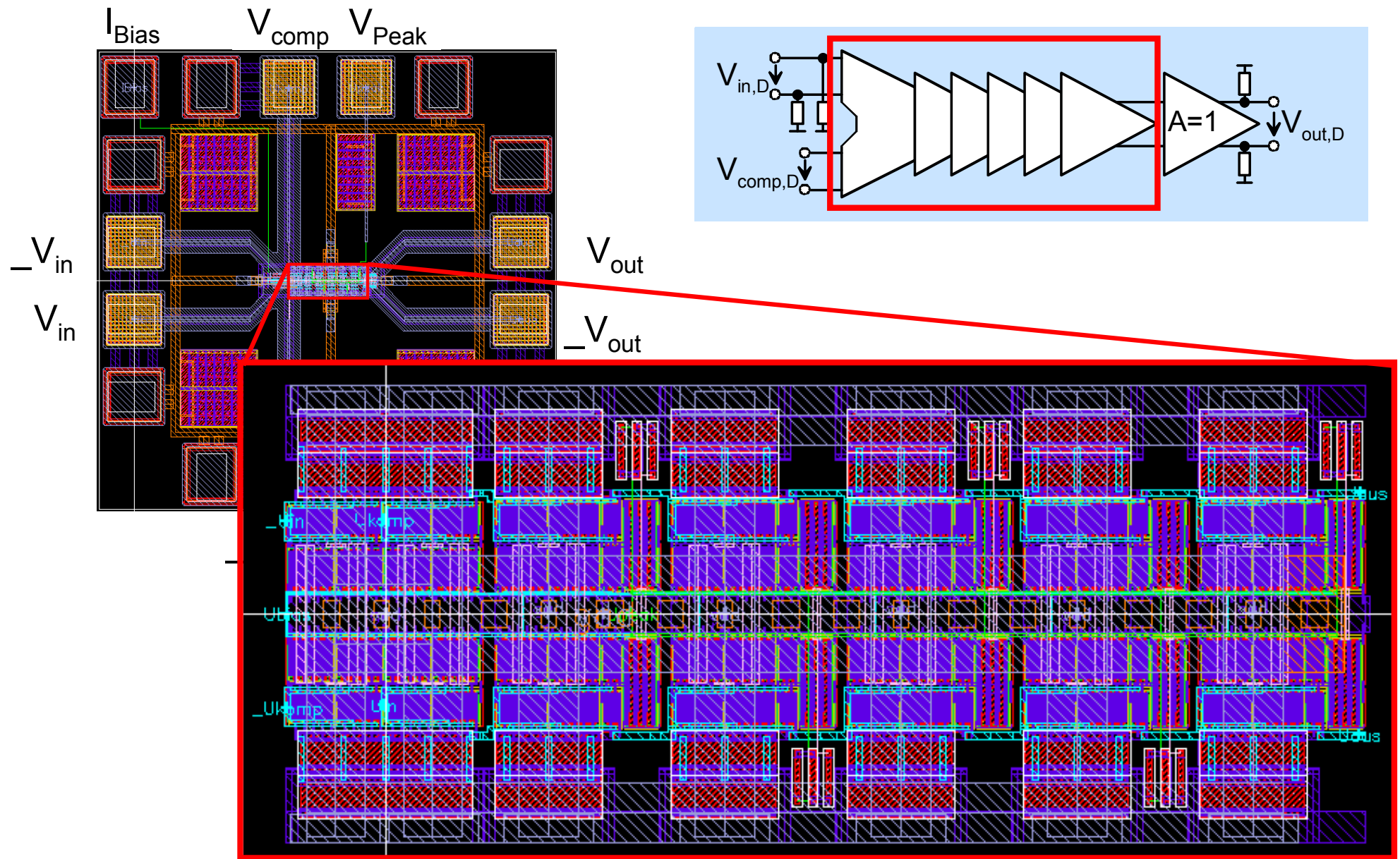
Schaltplan Vergleichsstufe:

zwei parallele Differenzverstärker

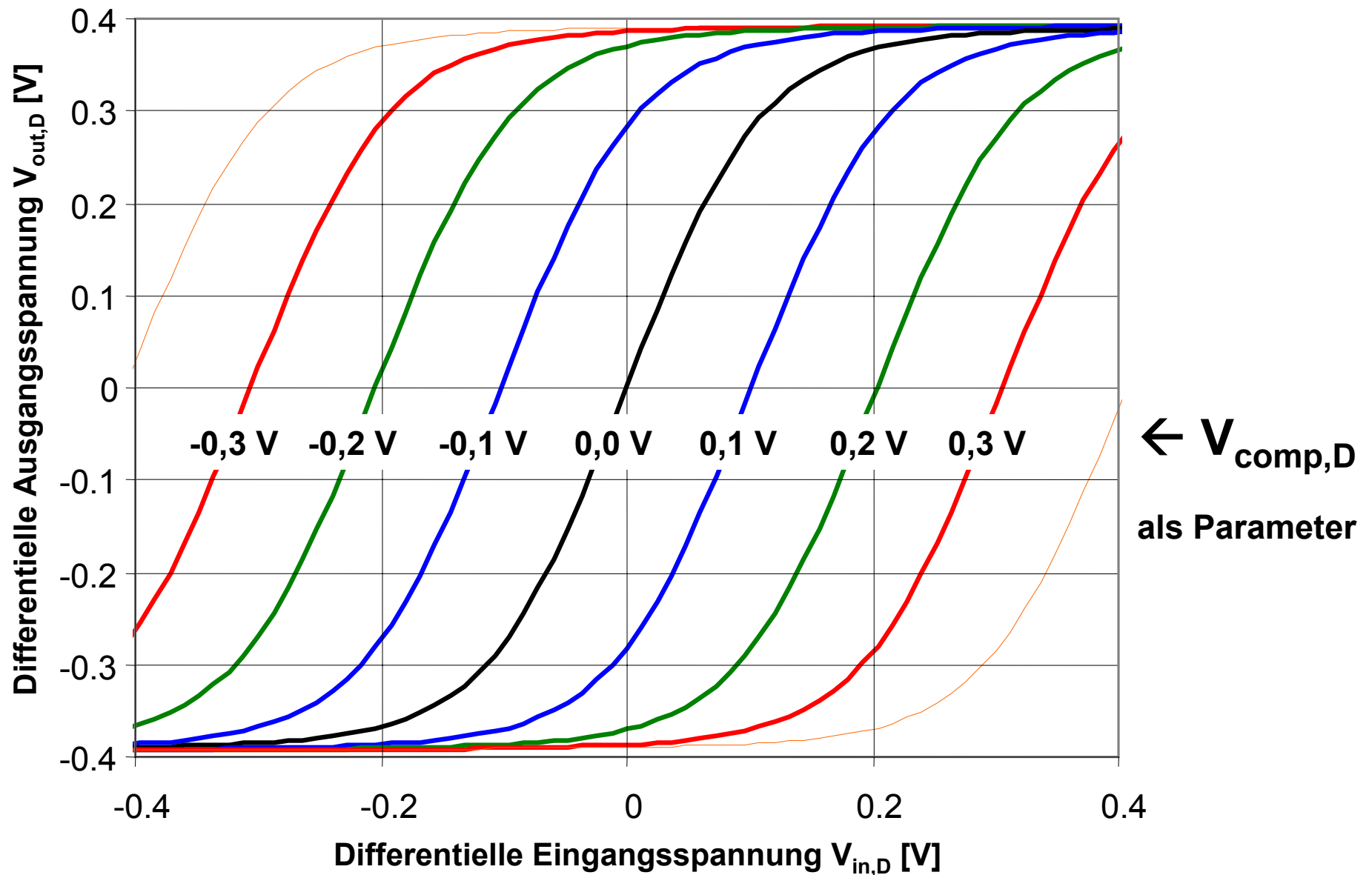
Schaltplan Verstärkerstufe:

Diff.-Verstärker. + kapazitiv degenerierter Diff.-Verst.

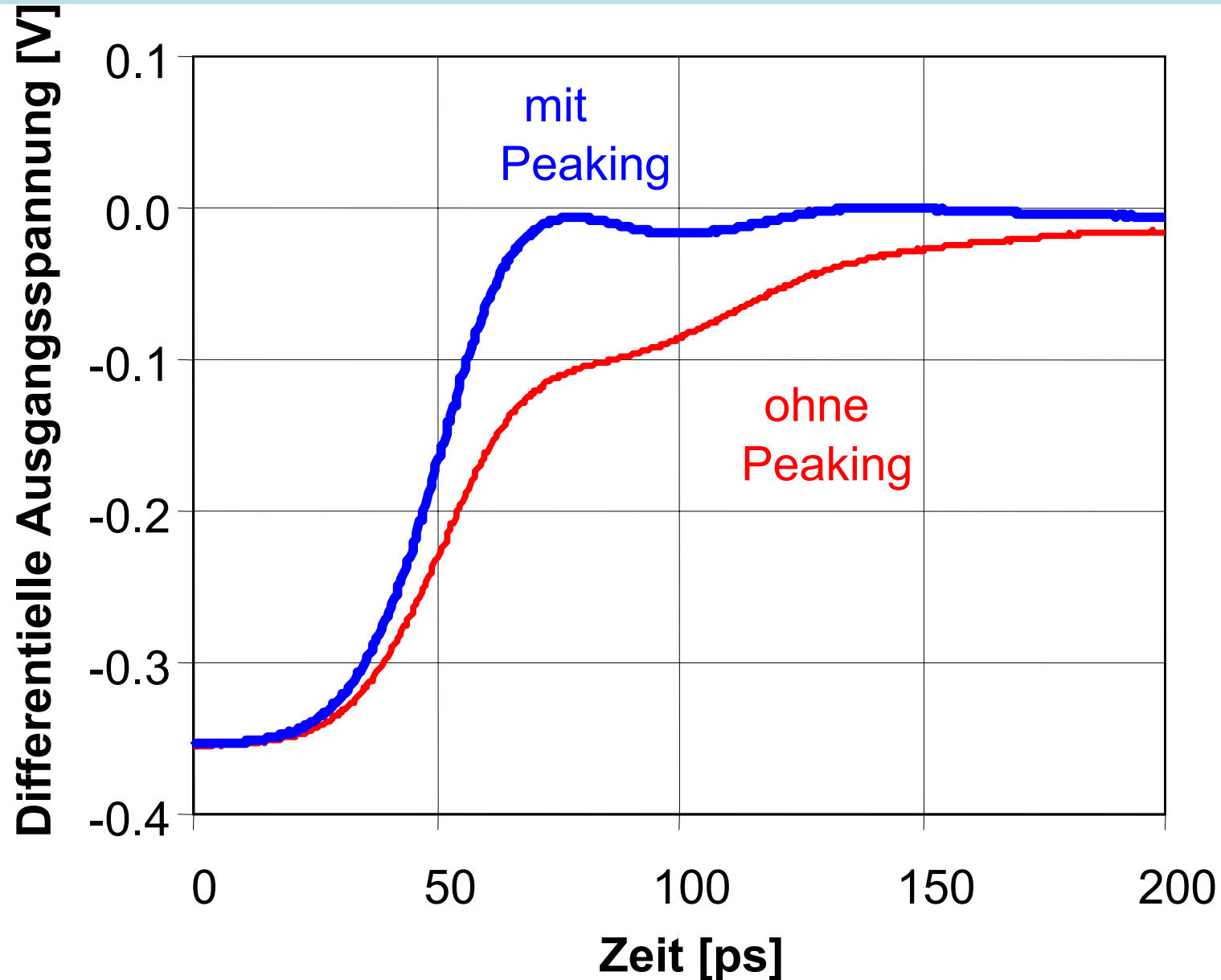
Komparator: Layout



Komparator: Gemessene Quantisierungskennlinie



Komparator: Worst-Case Anstiegszeit



Eingangsspgs.-
Sprung ($V_{in,D}$):

von -500 mV
nach 0 mV

bei

$V_{comp,D} = 0$ mV

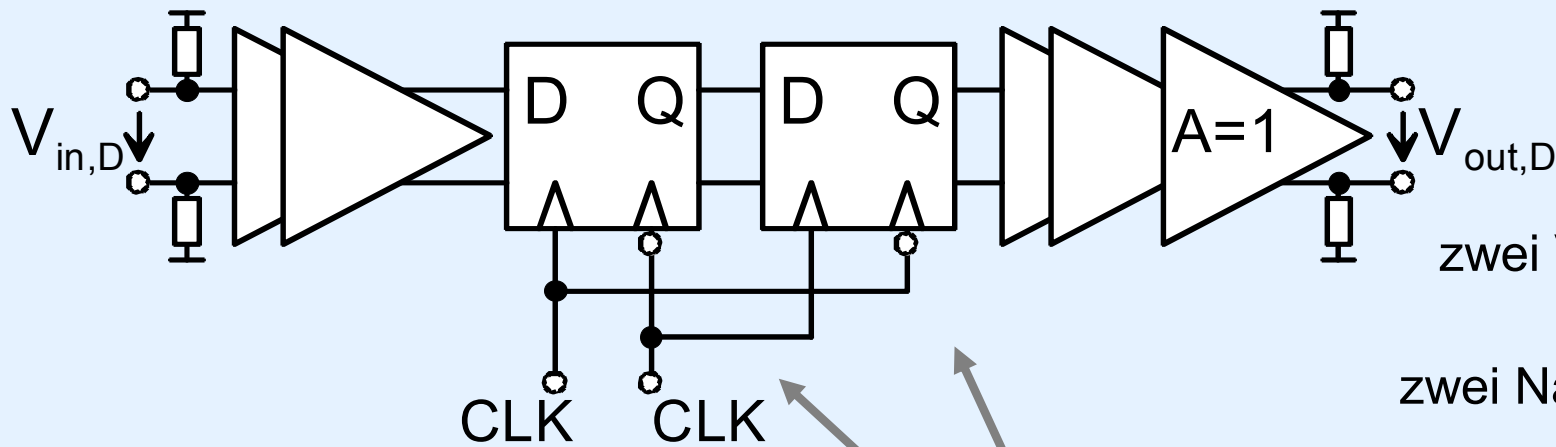
Einschwingzeit:

(5% - 95%)

ohne Peak: 111 ps

mit Peak: 43 ps

Entscheider-Flip-Flop: Schaltplan

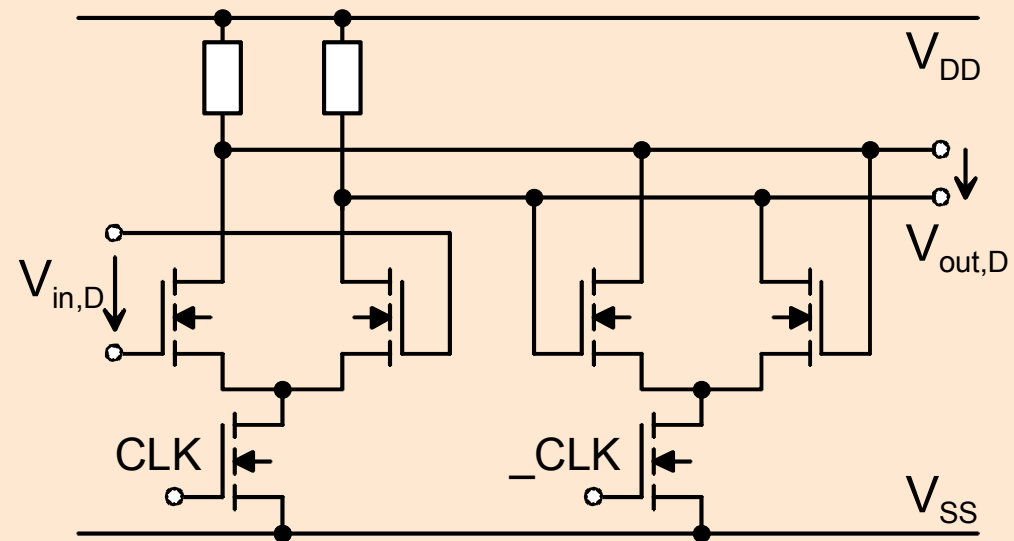


**Blockdiagramm
Flip-Flop :**

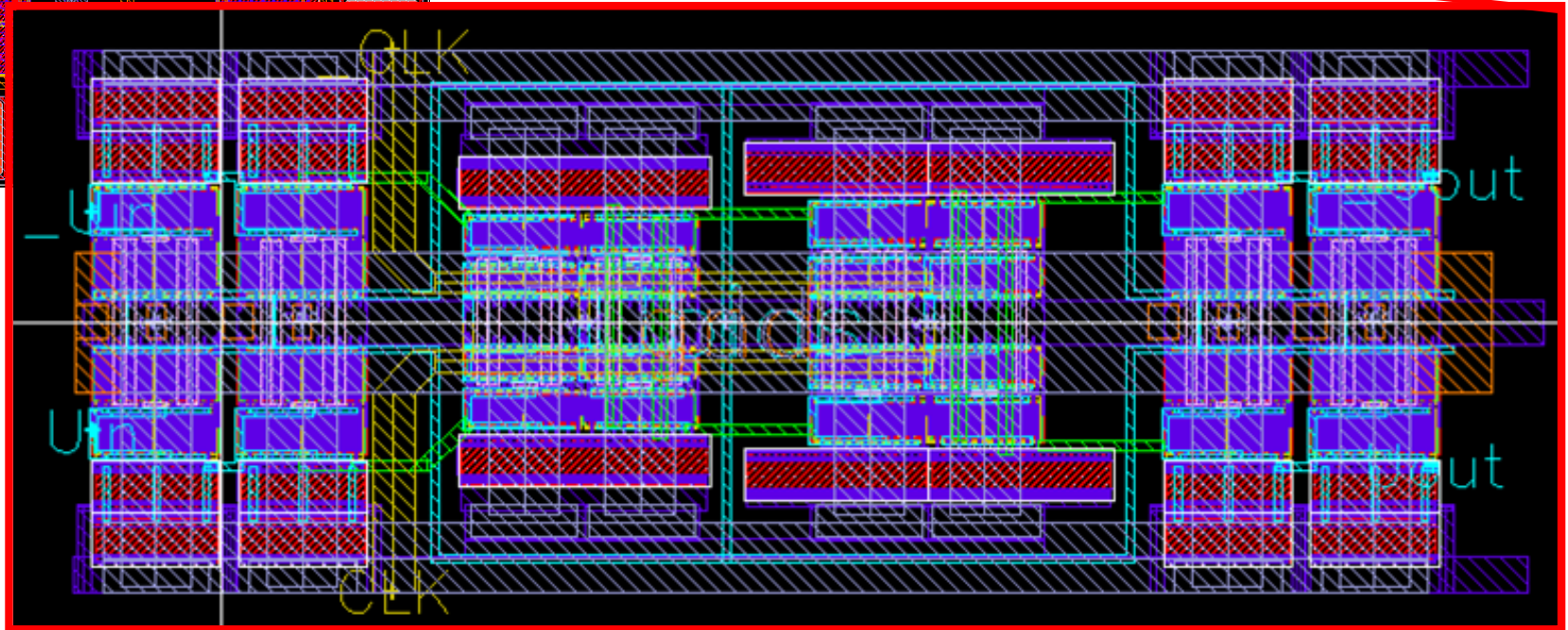
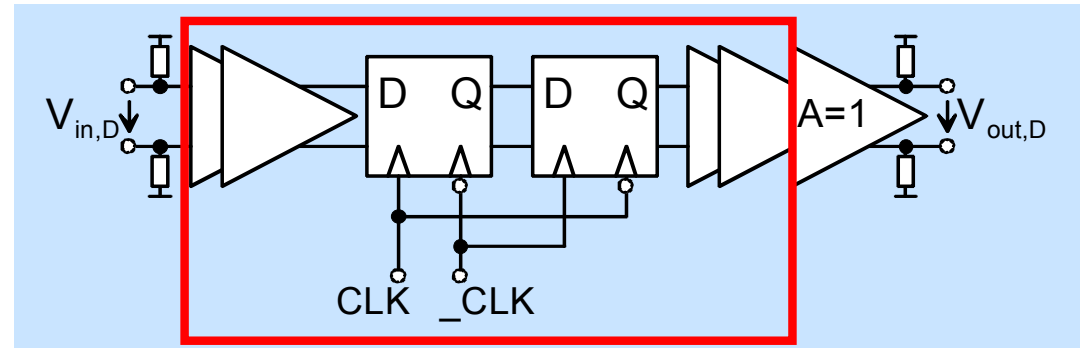
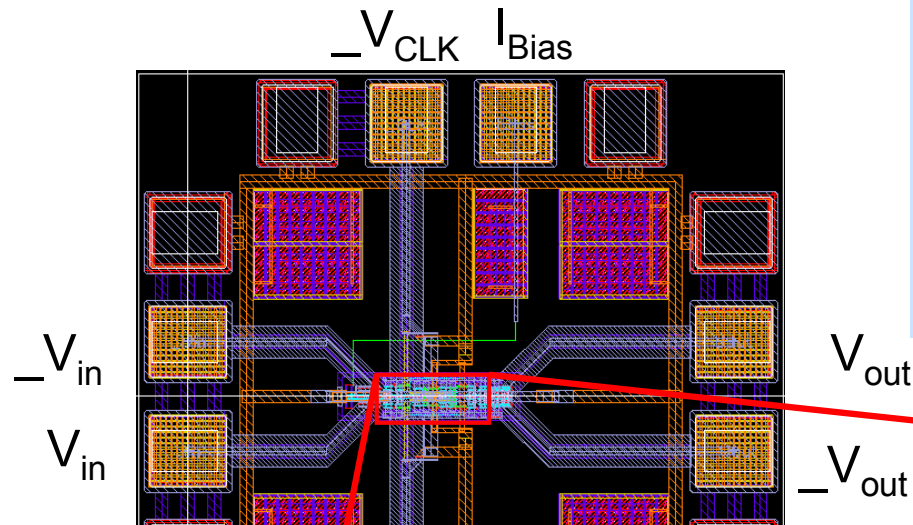
- zwei Vorverstärkerstufen
- zwei D-Latches
- zwei Nachverstärkerstufen
- Ausgangstreiber

Schaltplan D-Latch:

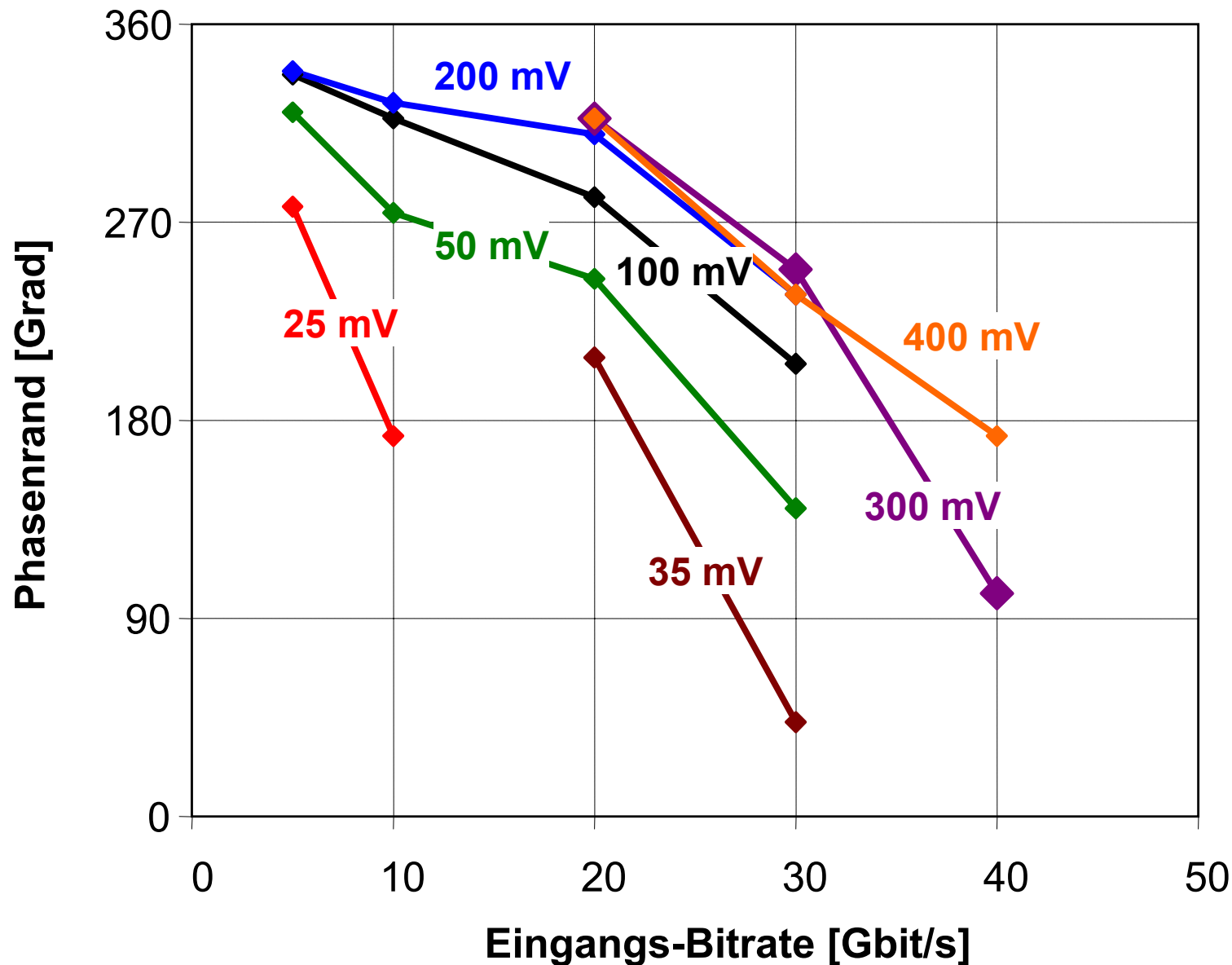
Stromquelle weggelassen
Master & Slave D-Latch
individuell ausgelegt



Entscheider-Flip-Flop: Layout



Entscheider-Flip-Flop: Phasenrand



Unipolarer Spannungshub als Parameter

$$f_{\text{Toggle}} = f_{\text{bit}}$$

@

5, 10 Gbit/s.

$$f_{\text{Toggle}} = \frac{1}{4} f_{\text{bit}}$$

@

20, 30, 40 Gbit/s

Phasenrand 10 GHz:

324° @ 200 mV

274° @ 50 mV



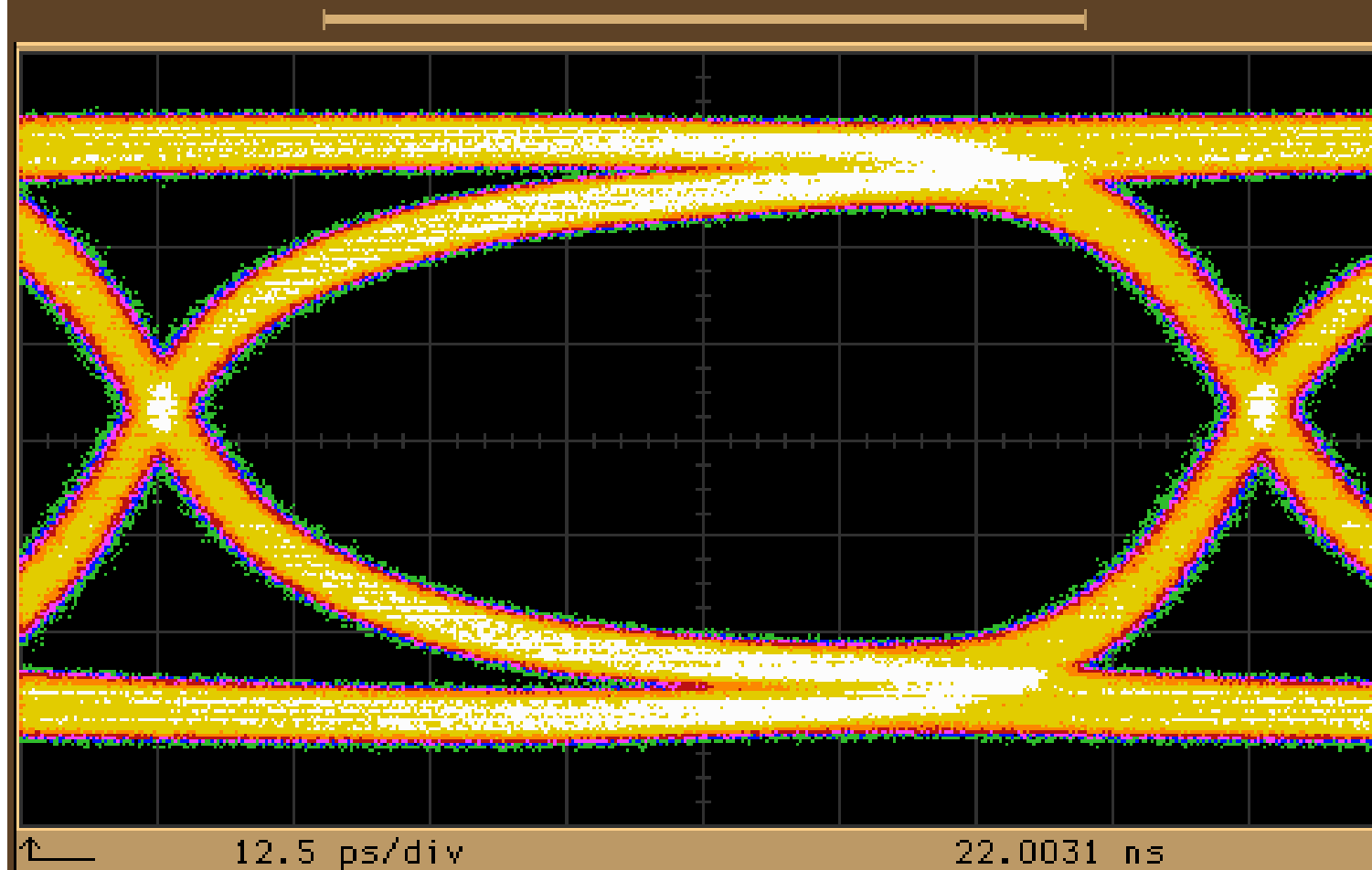
Universität Stuttgart

Institut für Elektrische und Optische Nachrichtentechnik
Professor Dr.-Ing. Manfred Berroth

Elektronische Entzerrer und A/D-Wandler-Komponenten in
CMOS-Technologie für die schnelle serielle Datenübertragung
Kleinheubacher Tagung 2006, 25.09.2006, © Markus Grözing / INT

Entscheider-Flip-Flop: Auge @ 10 Gbit/s / 10 GHz

Color grade is enabled...



Channel 1

Display

off on

Scale

50.0 mV/div

Offset

-200.0 mV

Bandwidth

18.0 GHz

12.4 GHz

Alternate

scale...

Calibrate...

	current
Eye height (cg)	215.076 mV
Crossing % (cg)	53.5%
Eye width (cg)	92.43 ps
Jitter RMS (cg)	1.40 ps



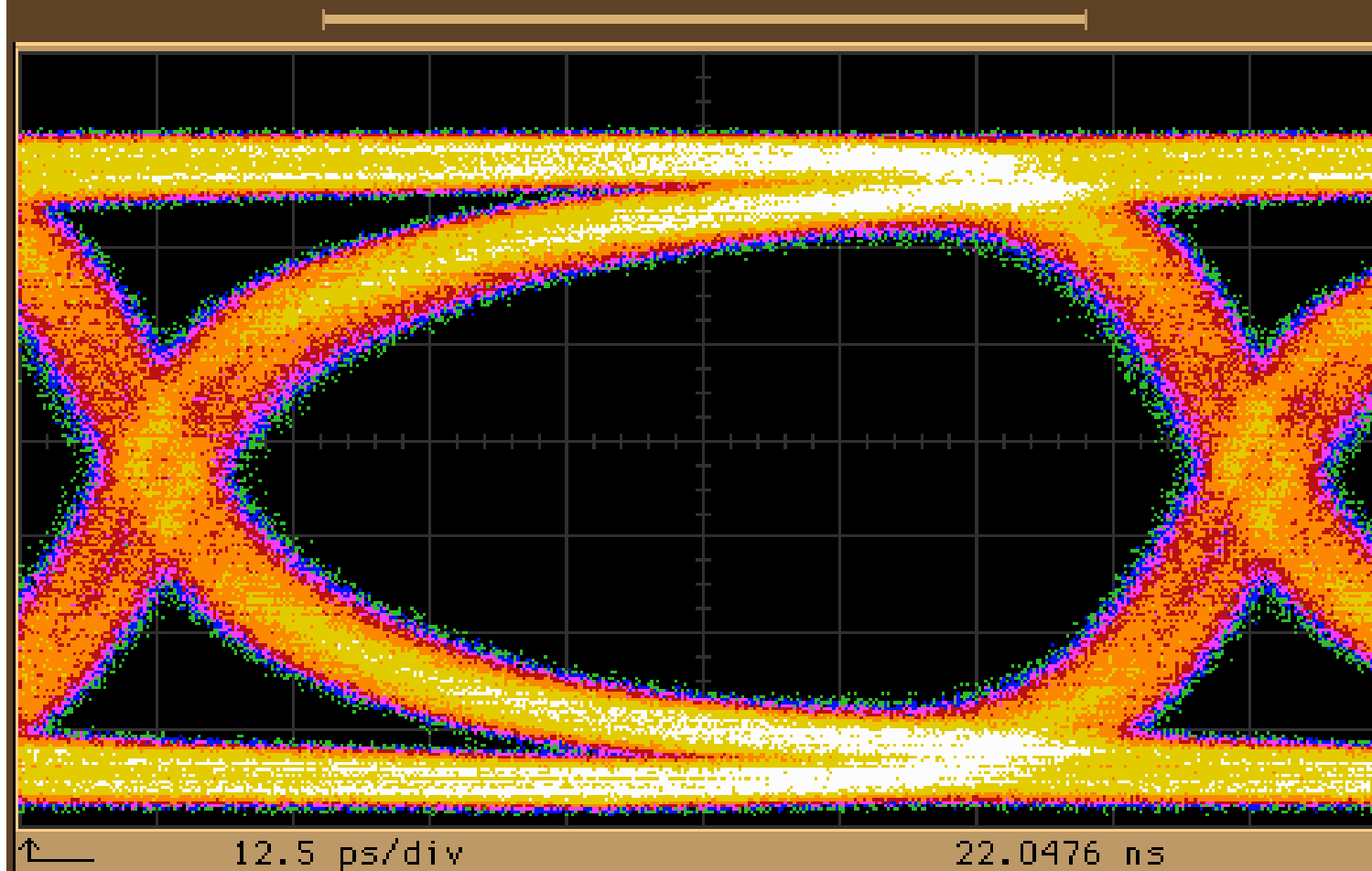
Universität Stuttgart

Institut für Elektrische und Optische Nachrichtentechnik
Professor Dr.-Ing. Manfred Berroth

Elektronische Entzerrer und A/D-Wandler-Komponenten in
CMOS-Technologie für die schnelle serielle Datenübertragung
Kleinheubacher Tagung 2006, 25.09.2006, © Markus Grözing / INT

Entscheider-Flip-Flop: Auge @ 40 Gbit/s / 10 GHz

Color grade is enabled...



Channel 1

Display

off on

Scale

50.0 mV/div

Offset

-200.0 mV

Bandwidth

18.0 GHz

12.4 GHz

Alternate

scale...

Calibrate...

current
Eye height(cg) 205.101 mV
Crossing %(cg) 54.3%
Eye width(cg) 83.03 ps
Jitter RMS(cg) 2.87 ps



Universität Stuttgart

Institut für Elektrische und Optische Nachrichtentechnik
Professor Dr.-Ing. Manfred Berroth

Elektronische Entzerrer und A/D-Wandler-Komponenten in
CMOS-Technologie für die schnelle serielle Datenübertragung
Kleinheubacher Tagung 2006, 25.09.2006, © Markus Grözing / INT

Zusammenfassung A/D-Wandler Komponenten

Skalierbare A/D-Wandler-Komponenten

in 90 nm CMOS ohne Spiralinduktivitäten:

- **Abtast-Halte-Glied mit kompensiertem Transferrgatter**
 - Eingangsbandbreite > 30 GHz
 - Taktung mit 12,5 GHz bei Eingangssignal mit 50 Gbaud
- **Komparator mit aktivem Peaking**
 - Vergleich bei >10 Gbaud
 - 43 ps Einschwingzeit (5%-to-95%) (ohne Peak.: 111 ps)
- **Entscheidungs-Flip-Flop mit Vor- und Nachverstärker**
 - 10 GHz Phasenrand: 324° @ 200 mV / 274° @ 50 mV
 - 40 Gbaud / 10 GHz Phasenrand: 143° @ 400 mV

→ 3 Bit 40 Gs/s 90 nm CMOS ADC realisierbar !



Ausblick

- **Abtast-Entzerrer für 40 Gbit/s**
 - 90 nm/ 65 nm CMOS bietet genügend Bandbreite
 - 4-fach parallele Struktur des Abtast-FIR-Filters
 - kurze Latenz → Speicherbus / Backplanes / MCM
- **Kompletter A/D-Wandler für 25/40/50 Gsample/s**
 - 2 bzw. 4-fach parallel
 - 3 - 6 Bit Auflösung
 - Integration mit Digital-Entzerrer / komplexe Modulation
 - großer Entzerrungsgewinn → optisches WAN
- **Integration auf Prozessor / Speicher / DSP ist Hauptvorteil gegenüber SiGe-Bipolar-Lösungen**

Referenzen Entzerrer

- [1] J. Liu, X. Lin, "Equalization in high-speed communication systems," *IEEE Circuits and Systems Magazine*, vol. 4, no. 2, pp. 4-17, April 2004.
- [2] R. Payne et al, "A 6.25-Gb/s binary transceiver in 0.13- μ m CMOS for serial data transmission across high loss legacy backplane channels," *IEEE JSSC*, vol. 40, no. 12, pp. 2646-2657, December 2005.
- [3] T. Beukema et al., "A 6.4-Gb/s CMOS SerDes core with feed-forward and decision-feedback equalization," *IEEE JSSC*, vol. 40, no. 12, pp. 2646-2657, December 2005.
- [4] S. Reynolds, P. Pepeljugoski, J. Schaub, J. Tierno, D. Beisser, "A 7-tap transverse analog-FIR filter in 0.13 μ m CMOS for equalization of 10Gb/s fiber-optic data systems," *ISSCC 2005*, pp. 330-331, February 2005.
- [5] J. E. Jaussi et al., "8-Gb/s source-synchronous I/O link with adaptive receiver equalization, offset cancellation, and clock de-skew," *IEEE JSSC*, vol. 40 no. 1, pp. 80-88, January 2005.
- [6] Y.-S. Sohn, S.-J. Bae, H.-J. Park, S.-I. Cho, "A 1.2 Gbps CMOS DFE receiver with the extended sampling time window for application to the SSTL channel," *2002 Symp. on VLSI Circuits*, pp. 92-93, February 2005.
- [7] M. Grözing, B. Philipp, M. Neher, M. Berroth, „Sampling Receive Equalizer with Bit-Rate Flexible Operation up to 10 Gbit/s“, *European Solid-State Circuits Conference (ESSCIRC) 2006*, Montreux, Switzerland, September 18-22, 2006.



Referenzen ADC- Komponenten

1. J. Lee et al., "A 5-b 10-Gsamples/s A/D converter for 10-Gb/s Optical Receivers," *IEEE JSSC*, vol. 39, no. 10, pp 1671-1679, October 2004.
2. H. Tagami et al., "A 3-bit soft-decision IC for powerful forward error correction in 10-Gb/s optical communication Systems," *IEEE JSSC*, vol. 40, no. 8, pp. 1695-1705, April 2005.
3. W. Cheng et al., "A 3b 40GS/s ADC-DAC in 0.12 μ m SiGe," *ISSCC 2004*, pp. 262 - 263, February 2004.
4. Ken Poulton et al., "A 20GS/s ADC with a 1MB memory in 0.18 μ m CMOS," *ISSCC 2003*, pp. 318- 319, February 2003.
5. J. C. Jensen, L. E. Larson, "A 16-GHz ultra-high-speed Si-SiGe HBT comparator," *IEEE JSSC*, vol. 38, no. 9, pp 1584-1589, Sept. 2003.
6. M. Grözing, M. Berroth, E. Gerhardt, B. Franz, W. Templ, „High-speed ADC building blocks in 90 nm CMOS“, *4th Joint Symposium on Opto- and Microelectronics Devices and Circuits (SODC) 2006*, Duisburg, Germany, September 2-8.

