

High Speed CMOS Circuits

Analog- und Digitalschaltungen in Stromschaltertechnik für hochbitratige serielle Empfänger

EEEfCOM Ulm

26. Mai 2004

M. Grözing, D. Moser, B. Philipp, M. Kabbab , M. Berroth

Institut für Elektrische und Optische Nachrichtentechnik
Universität Stuttgart



Universität Stuttgart

Institut für Elektrische und Optische Nachrichtentechnik
Professor Dr.-Ing. Manfred Berroth

Analog- und Digitalschaltungen in CMOS-Strom-
schaltertechnik für hochbitratige serielle Empfänger
EEEfCOM 2004, 26.-27. Mai 2004, Ulm, © M. Grözing

INHALT

1. MOSFET - Stromschalter

Prinzip - Eigenschaften - Auslegung

2. Grundsaltungen

Digital

Analog

3. Anwendungen bei 10 Gbit/s

Binäre Taktrückgewinnung

Getakteter Entzerrer



1. MOSFET – Stromschalter

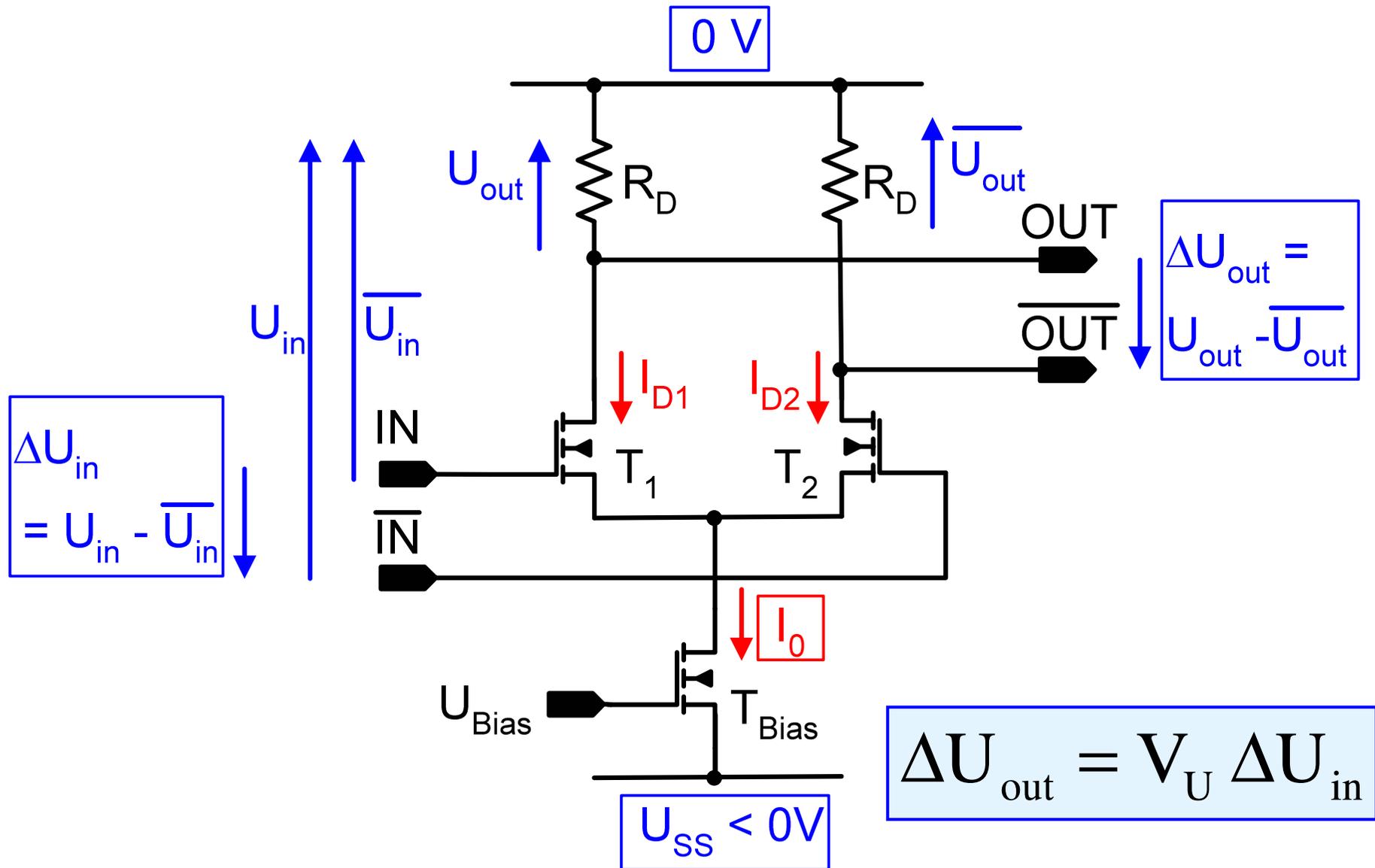
PRINZIP

Differenzverstärker
Analoge Funktion

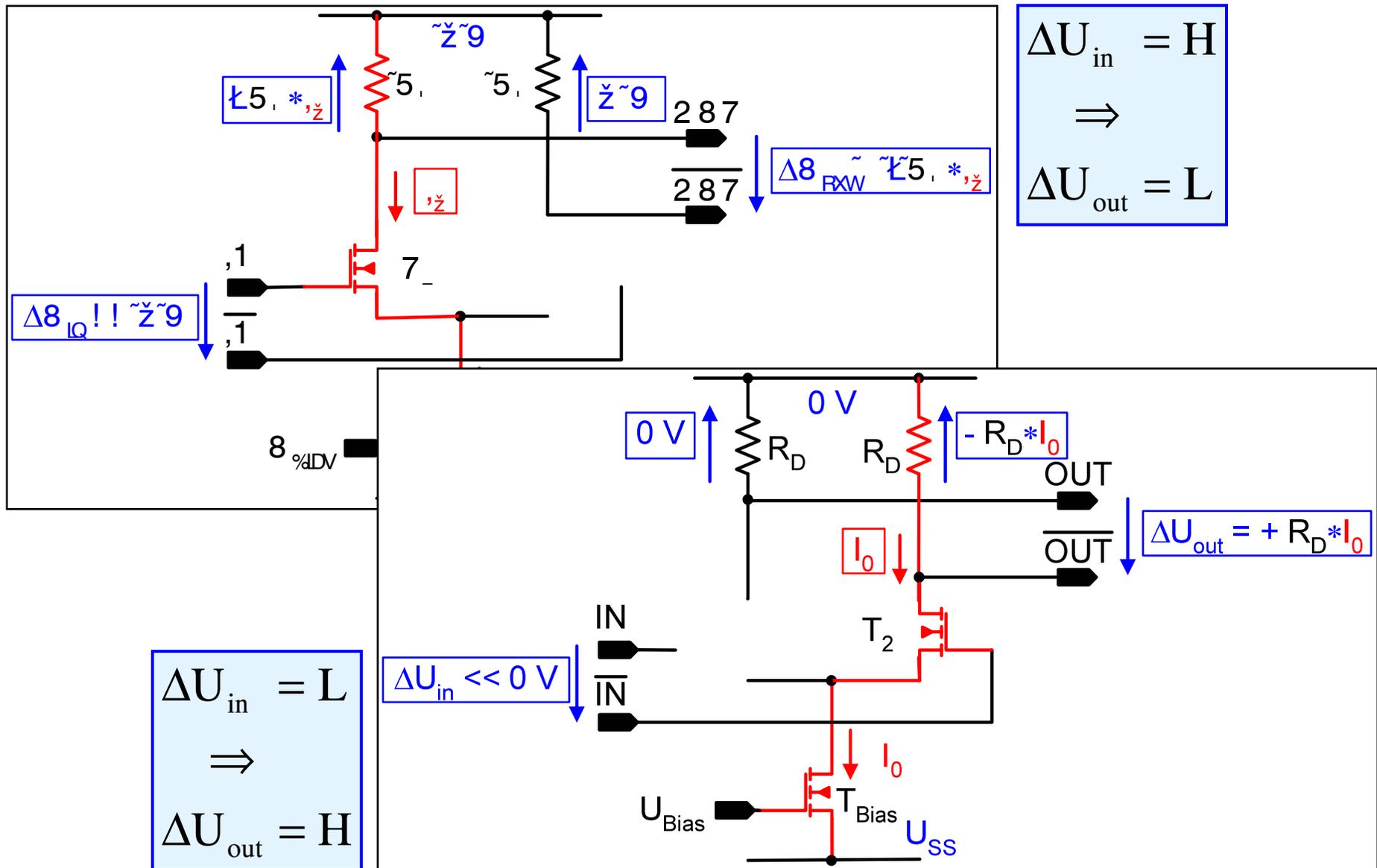
Stromschalter-Inverter
Digitale bzw. logische Funktion



Differenzverstärker: Analoge Funktion



Stromschalter-Inverter: Digitale Funktion



Vorteile der Stromschalter-Technik

1. konstanter Stromverbrauch

→ geringe Stromschwankungen auf den Versorgungsleitungen

→ **digitale Stromschalter-Logik verursacht geringe Störungen**

2. Gleichtakt-Störungen wie

- Gleichtaktsignal am Eingang (+ alle geraden Harmonischen)

- Schwankungen auf der Versorgungsspannung

werden im differenziellen Ausgangssignal unterdrückt

→ **analoge Stromschalter-Verstärker sind störungsempfindlich**

3. Schaltfunktion ausschließlich über schnelle n-Kanal MOSFETs

→ **sehr schnelle Schaltungen realisierbar**

Nachteile im Vergleich zu komplementärer CMOS-Logik

- statischer Stromverbrauch

- mehr Flächenverbrauch

→ **geeignet für Höchstgeschwindigkeit + Mixed-Signal**

→ **nicht geeignet für Höchstintegration**



1. MOSFET – Stromschalter

EIGENSCHAFTEN

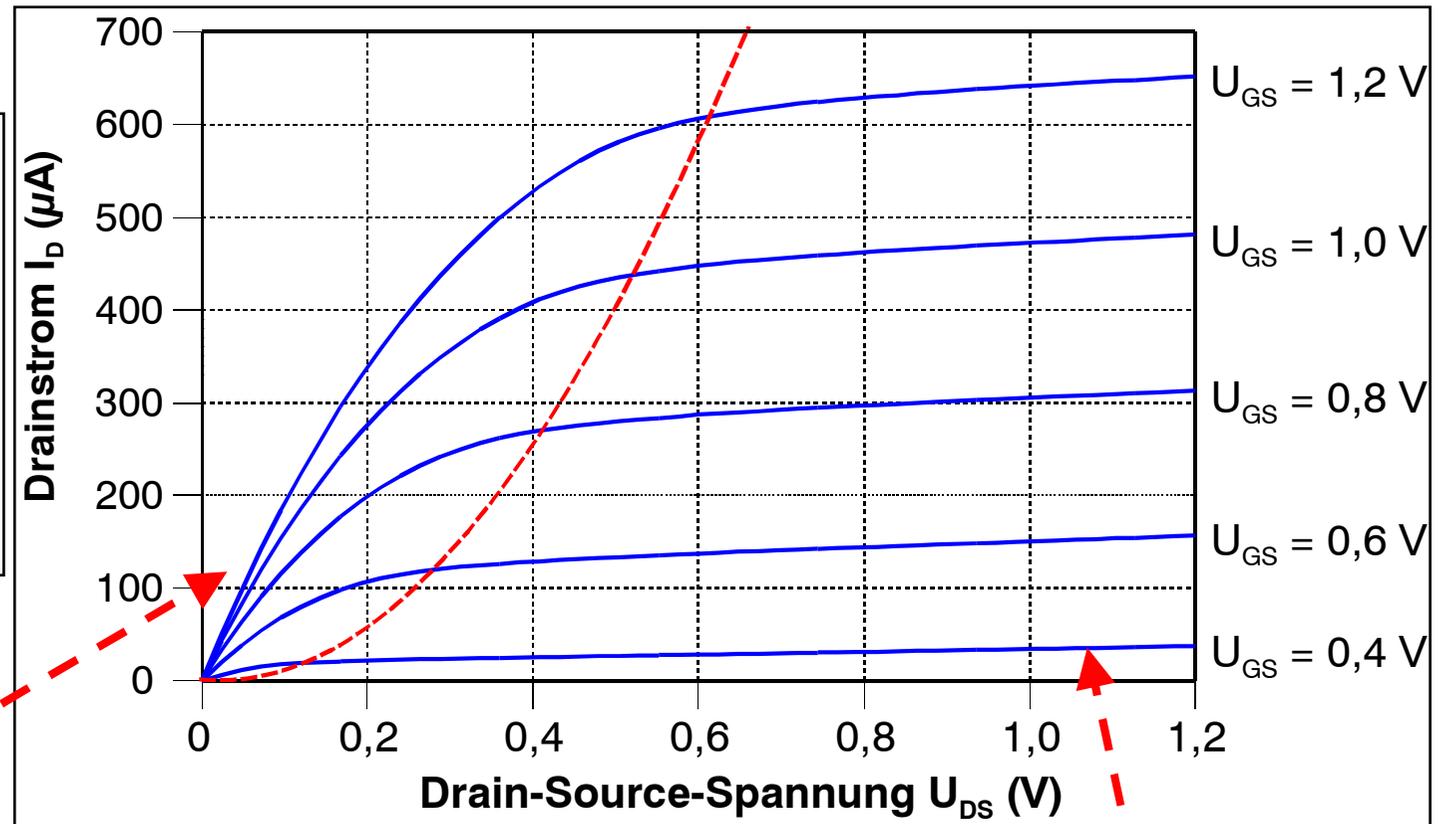
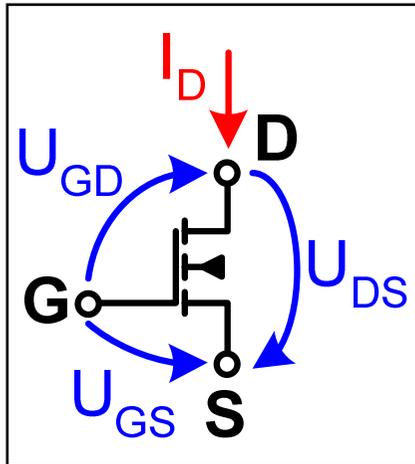
Gleichspannungs-
Übertragungskennlinie

Kapazitäten und
Dynamisches Verhalten

Kopplungen



MOSFET - Gleichstromverhalten



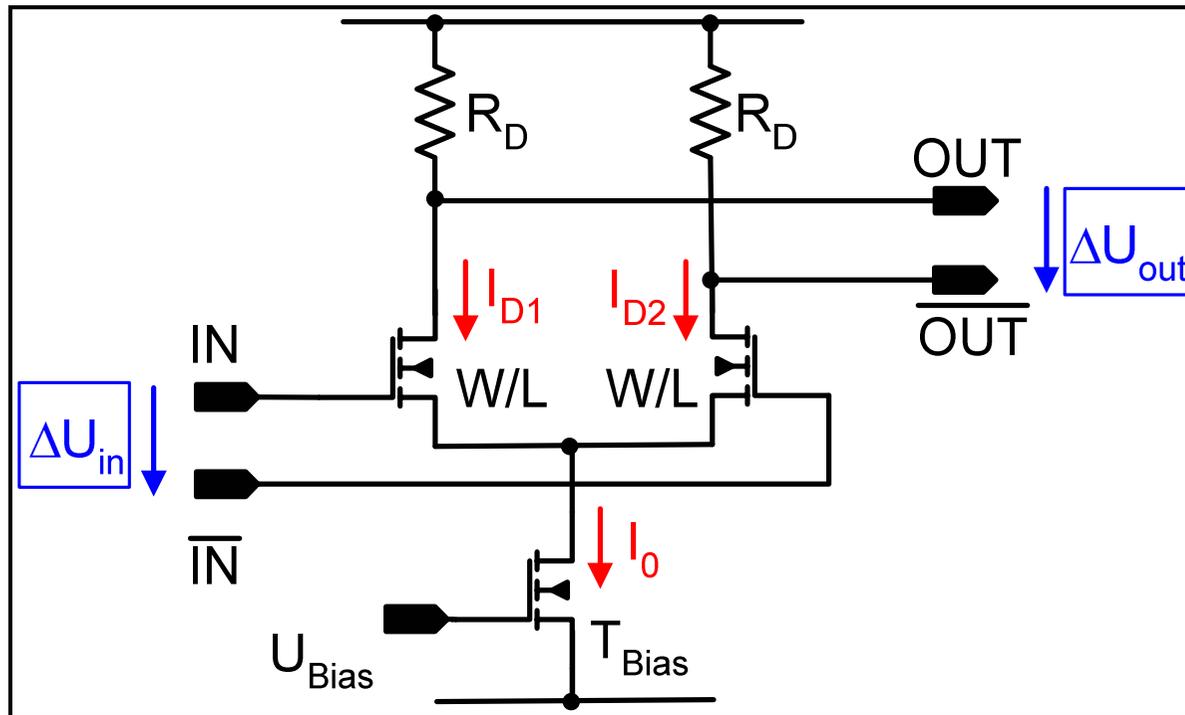
Widerstands-/Linearer /Trioden-Bereich:

Sättigungs-Bereich:

$$I_D = \beta_n \left[(U_{GS} - U_T) U_{DS} - \frac{1}{2} U_{DS}^2 \right]$$

$$I_D = \frac{1}{2} \mu_n C_{ox} ' \frac{W}{L} (U_{GS} - U_T)^2$$

Gleichspannungs – Übertragungskennlinie (1)



Voraussetzung:
 T_1, T_2 in Sättigung
 $\rightarrow U_{GD1}, U_{GD2} < U_T$

$$I_D = \frac{1}{2} \beta_n (U_{GS} - U_T)^2$$

$$\beta_n = \mu_n C_{ox} ' \frac{W}{L}$$

$$I_{D1} + I_{D2} = I_0$$

$$\Delta U_{out} = \sqrt{\mu_n C_{ox} ' \frac{W}{L} I_0 R_D} \Delta U_{in} \sqrt{1 - \frac{\mu_n C_{ox} ' W}{4 I_0 L} \Delta U_{in}^2}$$

$$\Delta U_{out} = V_{U0} \Delta U_{in} \sqrt{1 - \frac{1}{2} \frac{\Delta U_{in}^2}{\Delta U_{max}^2}}$$

$$V_{U0} = \sqrt{\mu_n C_{ox} ' \frac{W}{L} I_0 R_D}, \quad \Delta U_{max} = \sqrt{\frac{2 I_0}{\mu_n C_{ox} ' W} L}$$

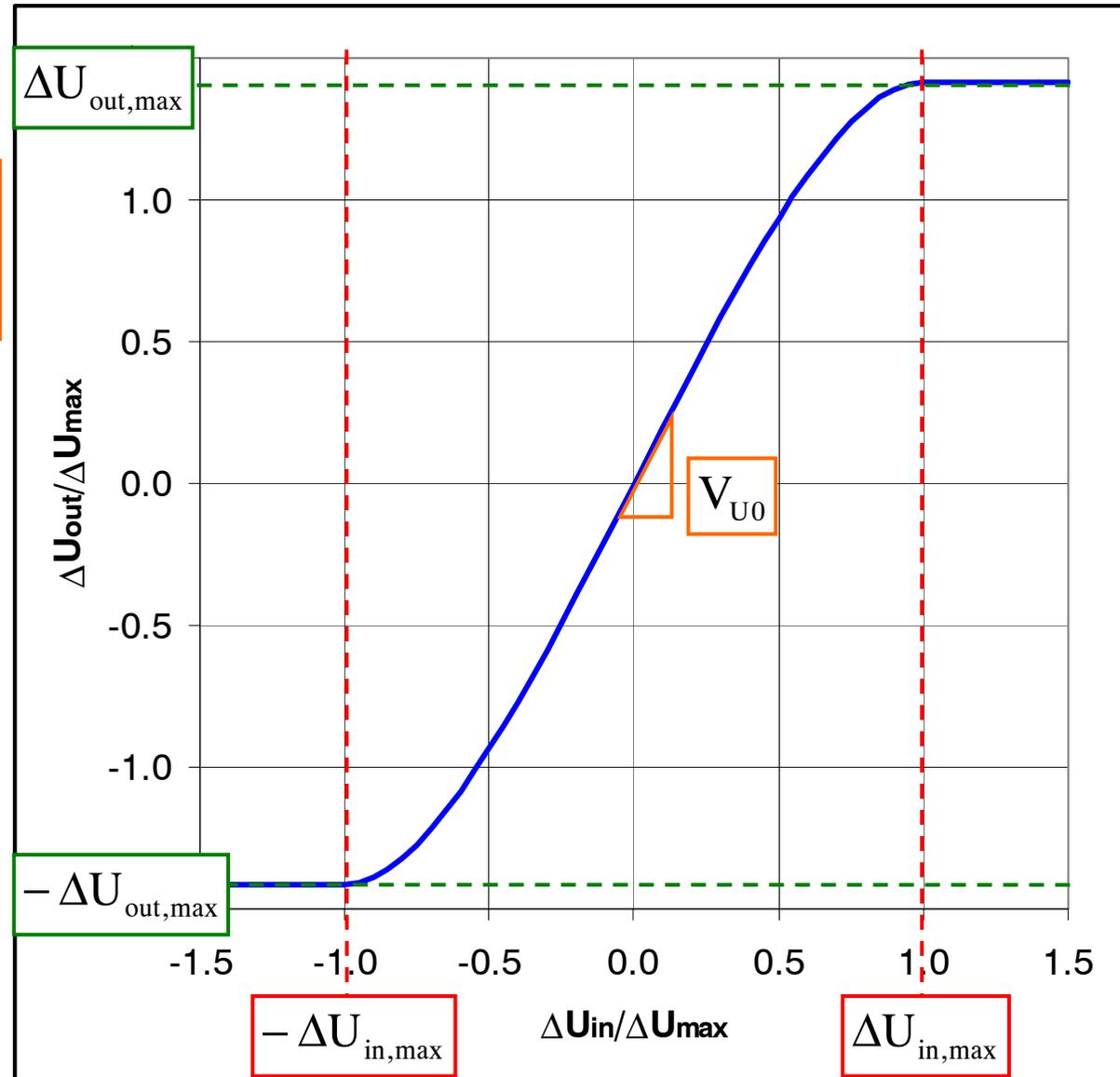
Gleichspannungs – Übertragungskennlinie (2)

$$V_{U0} = \sqrt{\mu_n C_{ox} ' \frac{W}{L} I_0 R_D}$$

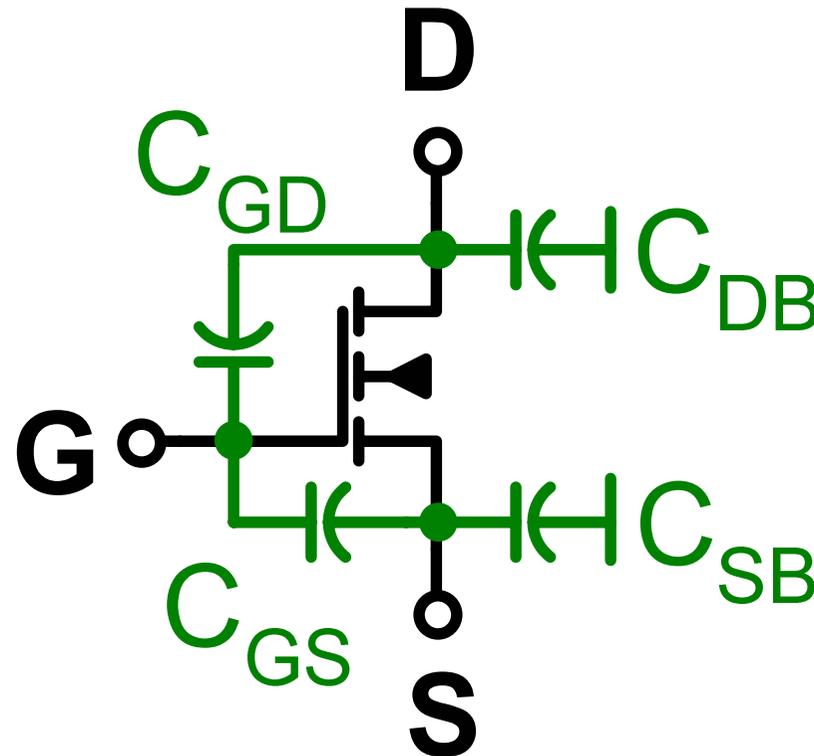
$$\Delta U_{max} = \sqrt{\frac{2I_0}{\mu_n C_{ox} ' W} L}$$

$$\Delta U_{in,max} = \Delta U_{max}$$

$$\begin{aligned} \Delta U_{out,max} &= R_D I_0 \\ &= \Delta U_{max} \frac{V_{U0}}{\sqrt{2}} \end{aligned}$$



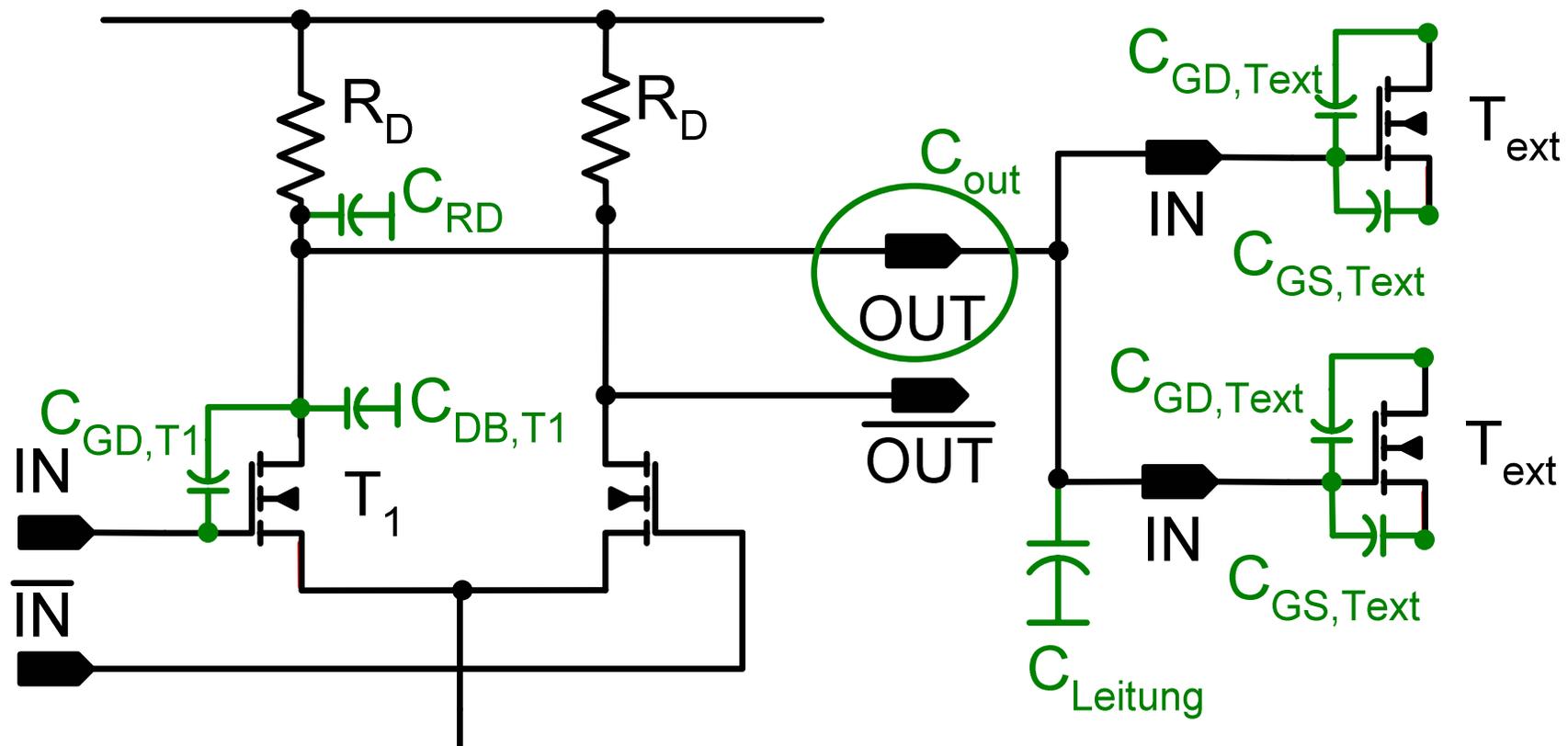
MOSFET -Kapazitäten



C_{GS} , C_{GD} : Gateoxid-Kapazität $\sim L \cdot W$

C_{SB} , C_{DB} : Sperrschicht-Kapazität pn-Übergang $\sim W$

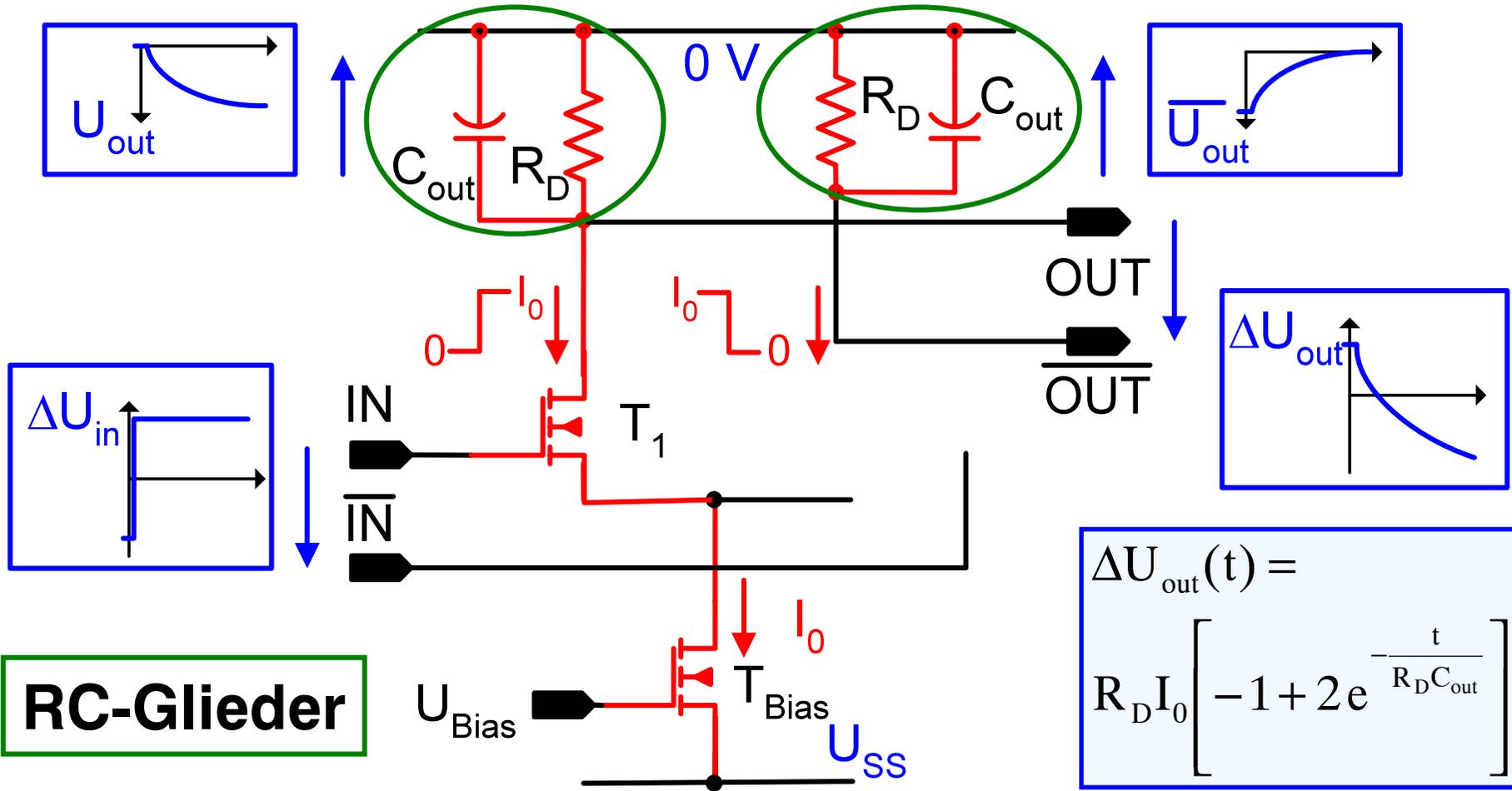
Kapazität am Ausgang



$$C_{out} = C_{RD} + \left[C_{DB} + (\overline{V_{U0}} + 1) C_{GD} \right]_{T1} + C_{Leitung} + F_0 \left[C_{GS} + (\overline{V_{U0}} + 1) C_{GD} \right]_{Text}$$

$$C_{out} \sim (WL)_{RD}, \quad W_{T1}, \quad (WL)_{Leitung}, \quad F_0 (WL)_{Text}, \quad F_0 W_{Text}$$

Dynamisches Verhalten



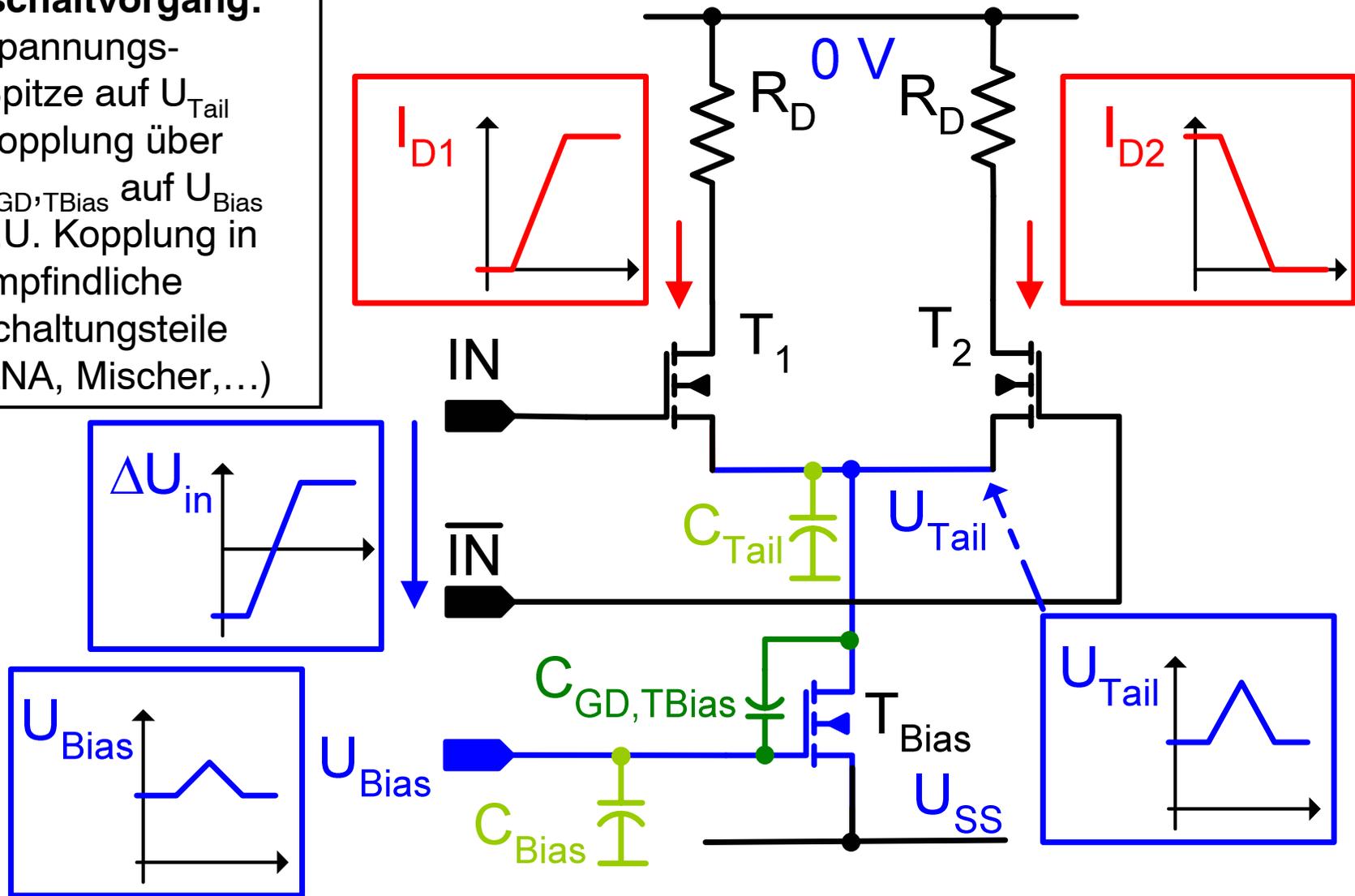
$$\tau = R_D C_{out} \quad \rightarrow \quad t_{HL10\% \rightarrow 90\%} = 2,2 \tau = 2,2 R_D C_{out}, \quad \rightarrow \quad f_{3dB} = \frac{1}{2\pi R_D C_{out}}$$



Kopplung über Transistor T_{Bias}

Umschaltvorgang:

- Spannungs-Spitze auf U_{Tail}
- Kopplung über $C_{GD, TBias}$ auf U_{Bias}
- u.U. Kopplung in empfindliche Schaltungsteile (LNA, Mischer,...)



1. MOSFET – Stromschalter

AUSLEGUNG

- hohe Verstärkung
- große Bandbreite
- geringes Rauschen
- großer Aussteuerbereich

Sind Sourcefolger am Ausgang notwendig ?



Auslegung für hohe Verstärkung

$$V_{U0} = \sqrt{\mu_n C_{ox} ' \frac{W}{L} I_0 R_D} = \sqrt{\frac{\mu_n C_{ox} ' W}{I_0 L} \Delta U_{\max, \text{out}}} \Rightarrow V_{U0} \sim \sqrt{\frac{1}{I_0} \frac{W}{L}} |U_{SS}|$$

Optimierung mit Faktor $M > 1$

$$I_0 \sim \text{const}, \quad R_D \sim \text{const}, \quad L \sim \text{const}, \quad W \sim M \Rightarrow P_{DC} \sim \text{const}$$

Konsequenzen:

$$V_{U0} \sim \sqrt{M},$$

$$\tau = R_D C_{\text{out}} \quad \text{wird größer wegen } C_{DB} \sim W_T \sim M$$

$$\Rightarrow f_{3dB} \sim 1/M$$

Auslegung für hohe Verstärkung verlangsamt den Verstärker
(Verstärkung)² x Bandbreite = konstant

Auslegung für große Bandbreite

$$V_{U0} \cdot \omega_{3dB} = \sqrt{\mu_n C_{ox} \cdot \frac{W}{L} I_0 R_D} \frac{1}{R_D C_{out}} = \sqrt{\mu_n C_{ox} \cdot \frac{W}{L} I_0} \frac{1}{C_{out}}$$

$$\xrightarrow{C_{out} \sim C_{DB}, C_{GS} \sim W} V_{U0} \cdot \omega_{3dB} \sim \sqrt{\frac{I_0}{W}}$$

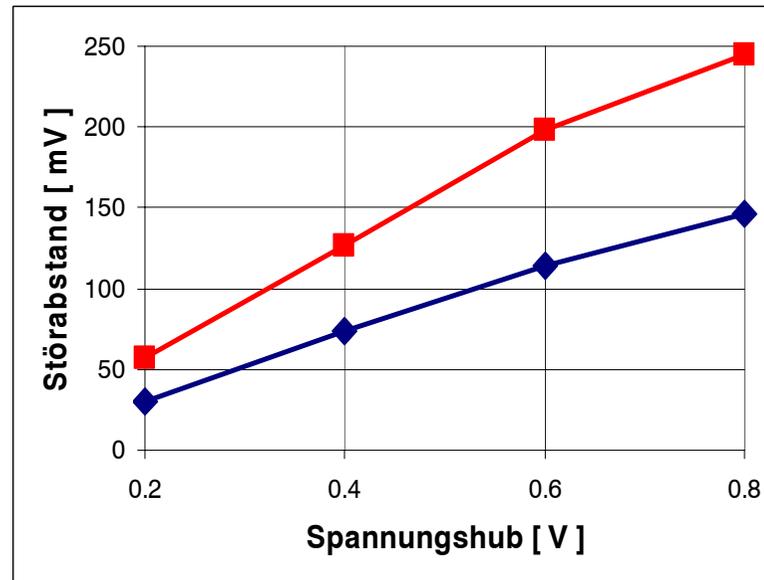
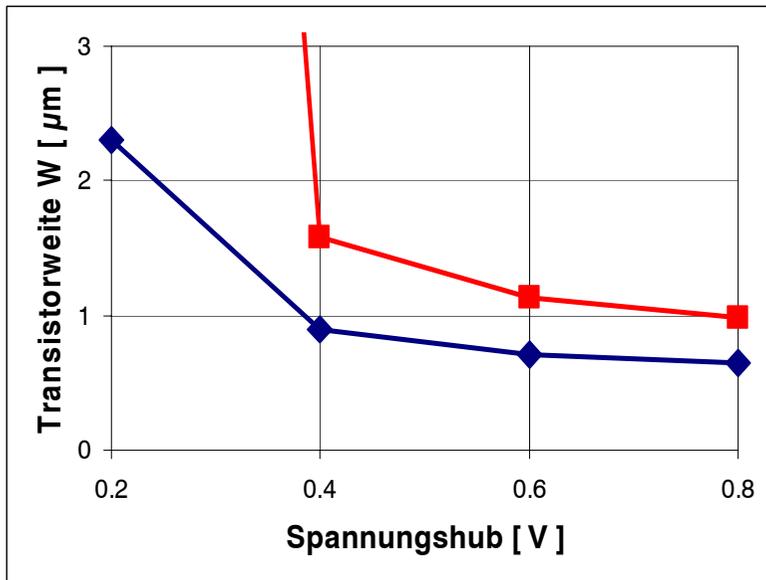
$L = L_{min}$, $\Rightarrow \left(\frac{I_0}{W} \right)$ maximieren, z.B. bei gegebenem: R_D

- 1) I_0 maximieren \Rightarrow Begrenzung durch $R_D \frac{I_0}{2} < |U_{ss}|$
- 2) W minimieren \Rightarrow Begrenzung durch minimale Verstärkung

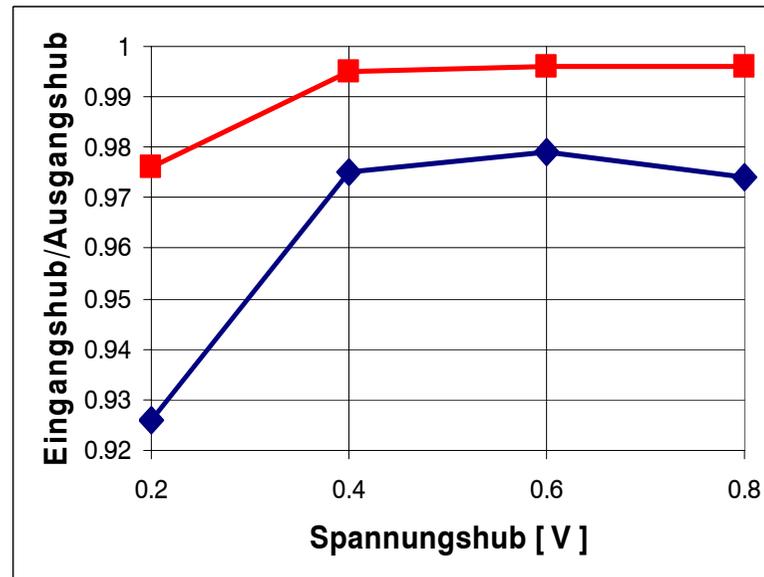
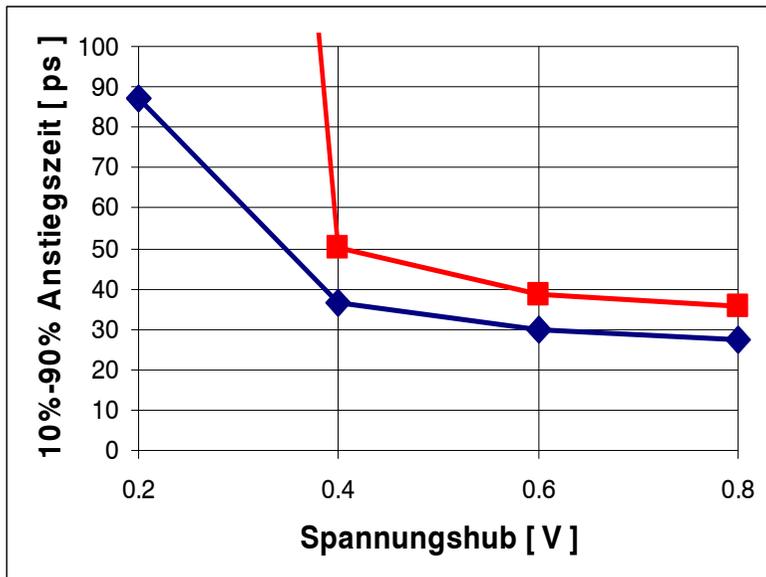
**Für maximales [(Verstärkung)¹ x Bandbreite]-Produkt:
→ den maximal möglichen Spannungshub über R_D wählen !**

Verringerung des Spannungshubs über R_D auf 200..300 mV
(wie bei Bipolar-Stromschalter-Technik) führt zu sub-optimalem Entwurf !!!

Beispiel: Inverter in 0,13 μm / 1,2 V CMOS



$R_D =$
 $3,5 \text{ k}\Omega$
 $V_{U0} = 2$
 $V_{U0} = 1,5$



Beispiel:
 $V_{U0} = 2,0$
 $U_{Hub} = 0,6 \text{ V}$
 →
 $I_0 = 0,17 \text{ mA}$
 $W = 1,2 \mu\text{m}$
 $NM = 0,2 \text{ V}$
 $t_{HL} = 40 \text{ ps}$
 @ $F_0 = 1$
 $VSR = 0,996$



Auslegung für geringes Rauschen

$$\hat{I}_{D1,Signal}^2 = (g_m \hat{U}_{in})^2, \quad I_{D1,Rauschen}^2 = 4kT \frac{2}{3} g_m \Delta f$$

$$SNR = \frac{\hat{I}_{D1,Signal}^2}{I_{D1,Rauschen}^2} = \frac{(g_m \hat{U}_{in})^2}{4kT \frac{2}{3} g_m \Delta f} \sim g_m \sim \sqrt{\mu_n C_{ox} \frac{W}{L} I_0}$$

Optimierung mit Faktor $M > 1$

$$I_0 \sim M, \quad R_D \sim 1/M, \quad \frac{W}{L} \sim M$$

Konsequenzen:

$$SNR \sim M, \quad \tau \sim R_D C_{out} \text{ konstant wegen } R_D \sim 1/M, \quad C_{out} \sim M \\ \Rightarrow f_{3dB} \sim \text{const} \quad \Rightarrow P_{DC} \sim M, \quad V_{U0} \sim \text{const}$$

Verbesserung des Signal-Rausch-Verhältnisses bei gegebener Bandbreite nur mit höherem Leistungsverbrauch möglich !

Auslegung für großen Aussteuerbereich (Linearität)

Kompression am Eingang: Spannung ΔU_{in} zu groß
vollständiges Umschalten des Stroms / T_1 oder T_2 sperren

$$\Delta U_{in,max} = \Delta U_{max} = \sqrt{\frac{2I_0}{\mu_n C_{ox}} \frac{L}{W}}$$

$$\Rightarrow \left(\frac{I_0}{W} \right) \text{ maximieren}$$

Kompression am Ausgang: Spannung ΔU_{out} zu groß
 T_1 oder T_2 gehen aus Sättigung in den Widerstandsbereich über

$$\Delta U_{max,out} = \left(V_{U0} / \sqrt{2} \right) \Delta U_{max,in} = I_0 R_D < \Delta U_{out,sat} \quad !!!$$

Langkanalnäherung: $\Delta U_{max,out} = U_{GDmax} = U_{Threshold}$

$$\Rightarrow \Delta U_{out,sat} = U_{Threshold} \quad (\approx 400 \text{ mV bei } 0,13\mu\text{m} / 1,2 \text{ V CMOS})$$

Kurzkanalnäherung: $U_{DSmin} = U_{DSsat} \approx L_g E_{sat}$

$$\Rightarrow \Delta U_{out,sat} = |U_{SS}| - U_{DSsat} - U_{DS,TBias} \quad (\approx 600 \text{ mV bei } 0,13\mu\text{m} / 1,2 \text{ V CMOS})$$

Sind Sourcefolger am Ausgang notwendig ?

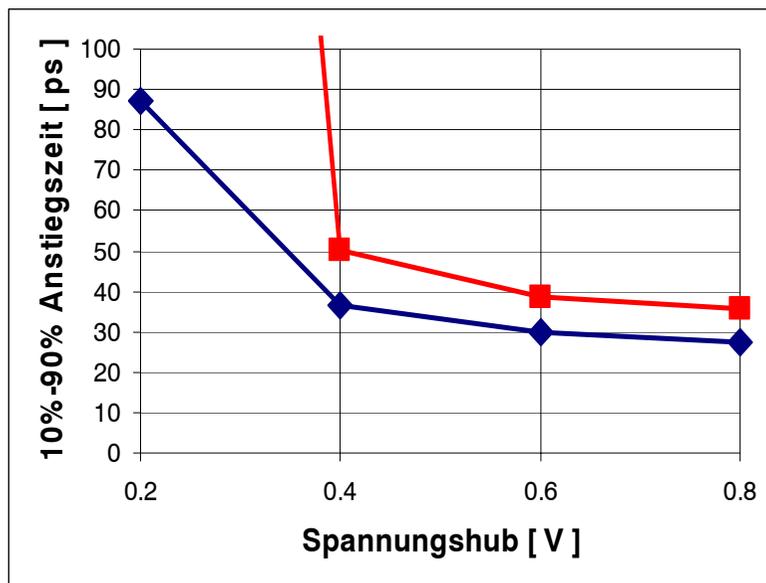
Bipolar-Stromschalter-Logik:

Falls BIP-Transistoren in Sättigung: Verzögerungszeit steigt stark an
(\cong Widerstandsbereich beim MOSFET)

→ Emitterfolger am Ausgang (ECL) notwendig für:

- $U_{\text{Hub}} > 300 \text{ mV}$
- und / oder Pegelanpassung bei kaskadierten Stufen

→ **Sind Sourcefolger auch in CMOS-Stromschalter-Logik notwendig?**



CMOS-Stromschalter-Logik:

Anstiegszeit fällt stetig mit Spannungshub

→ **MOSFET im Widerstandsbereich:**
KEIN Anstieg der Verzögerungszeit

→ Spannungshub groß wählen

→ **genügend Eingangsspannungshub**
auch für kaskadierte Stufen

→ **Sourcefolger weglassen !!!!**

2. Grundsaltungen

DIGITAL

Identität / Inverter

UND / ODER

Latch

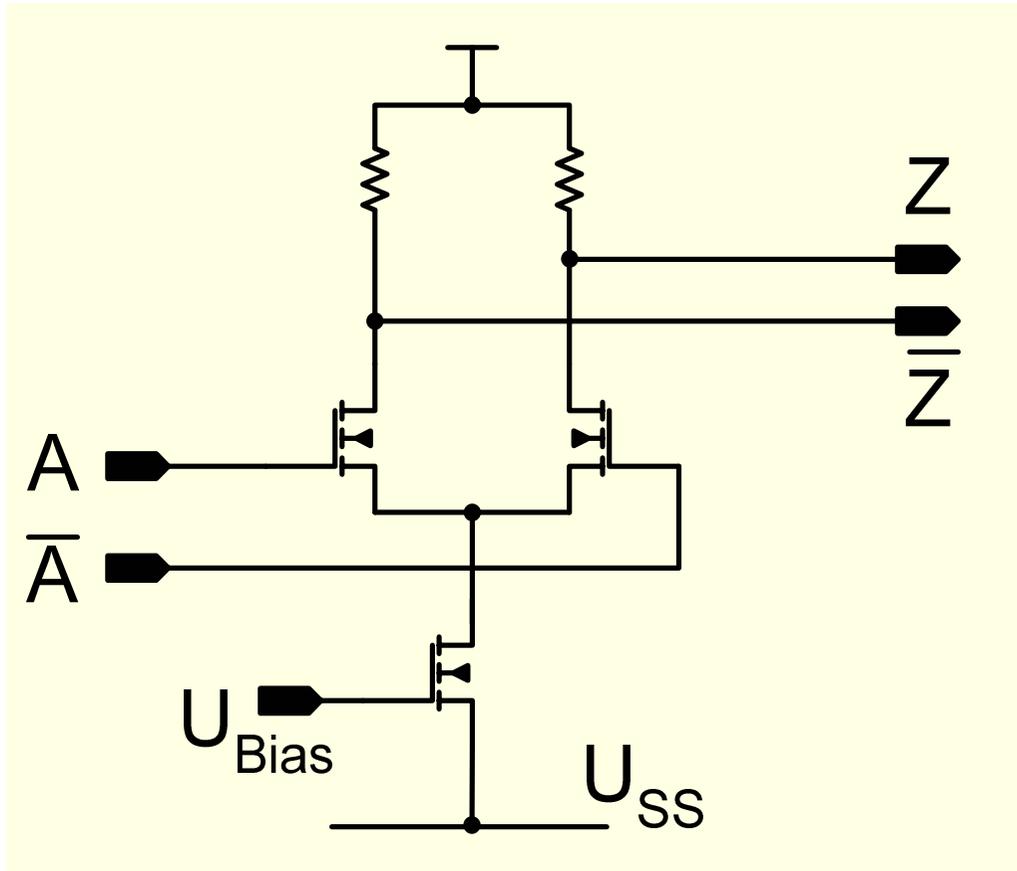
Flip-Flop

Ausgangstreiber

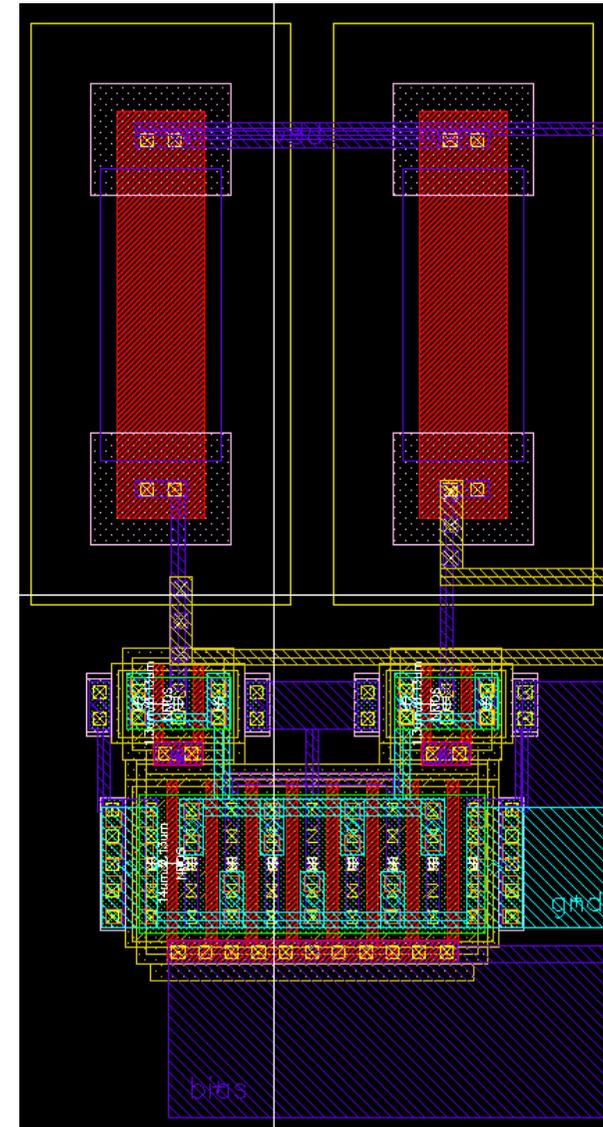
Ladungspumpe



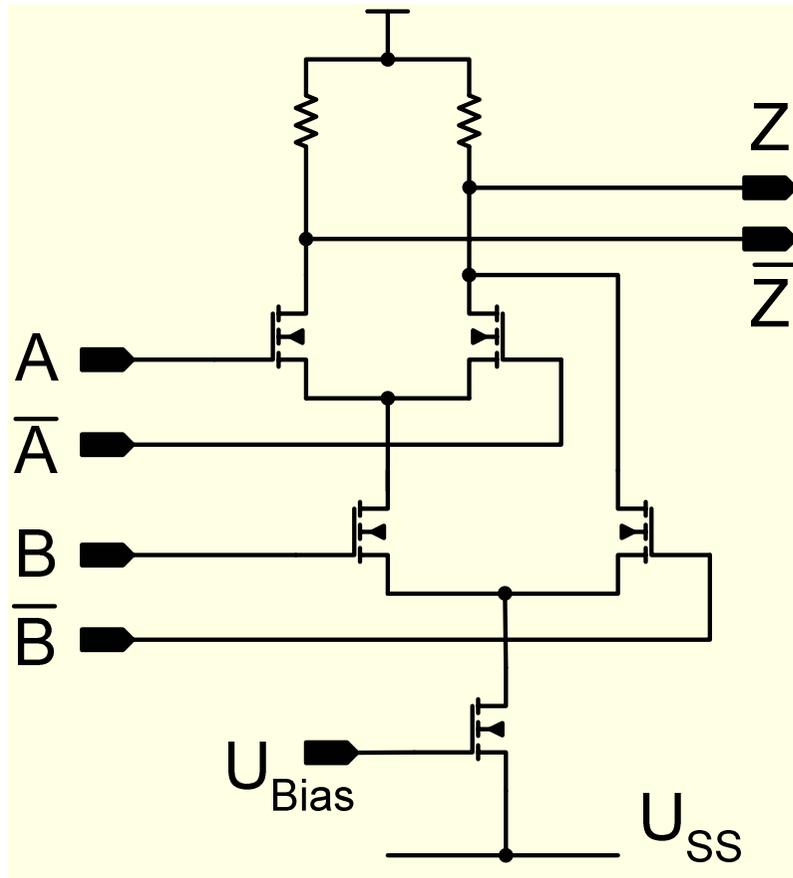
Identität / Inverter



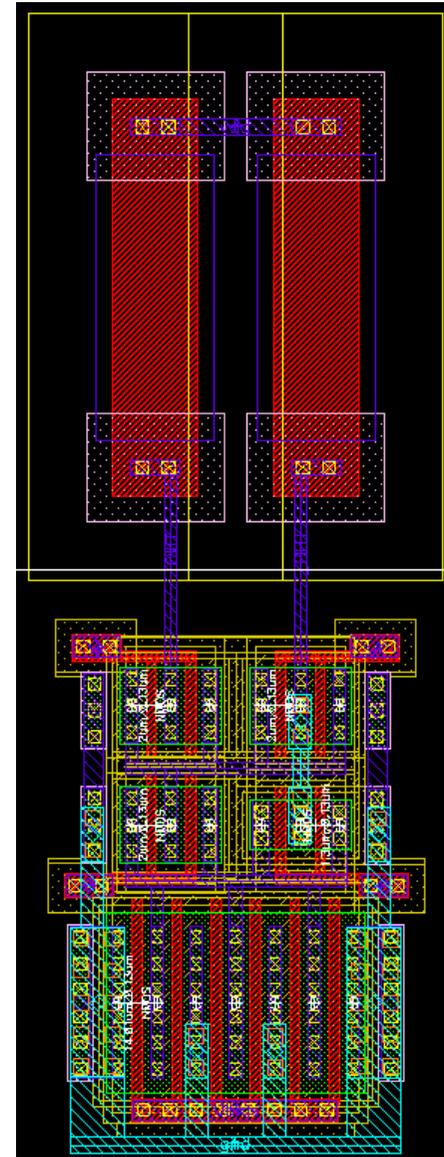
$$Z = A \quad \bar{Z} = \bar{A}$$



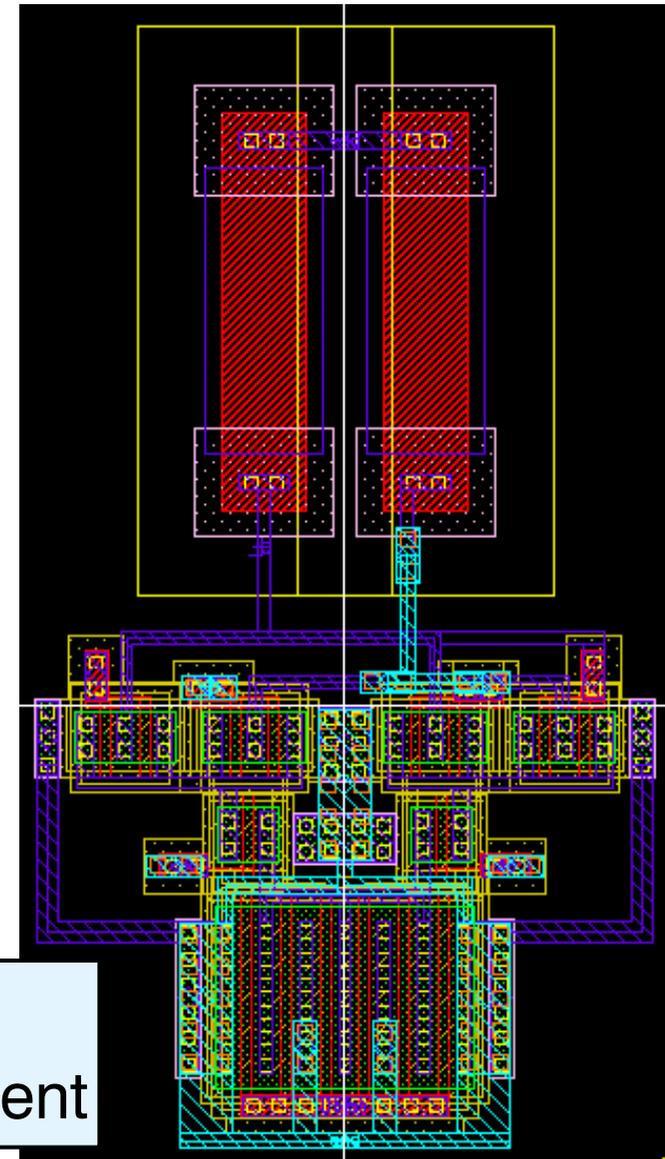
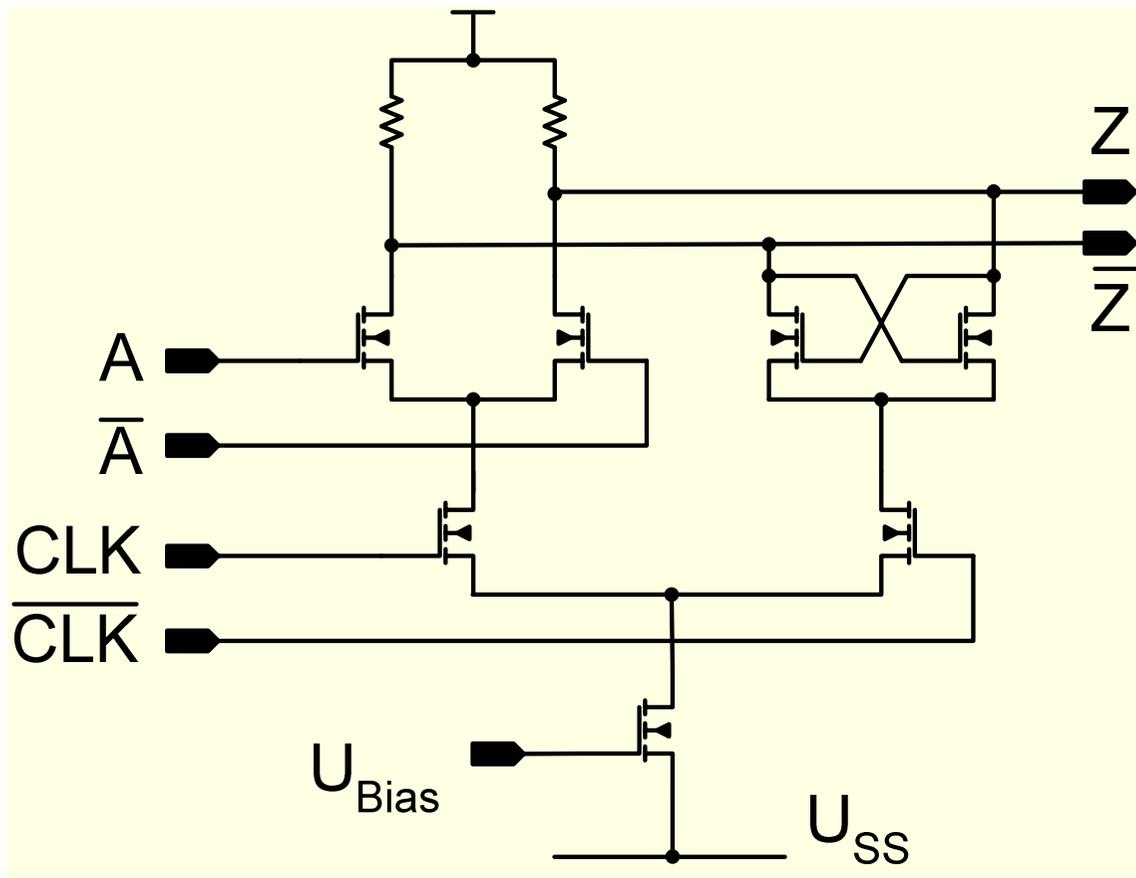
UND / ODER - Gatter



$$Z = A \cap B \quad \bar{Z} = \bar{A} \cup \bar{B}$$



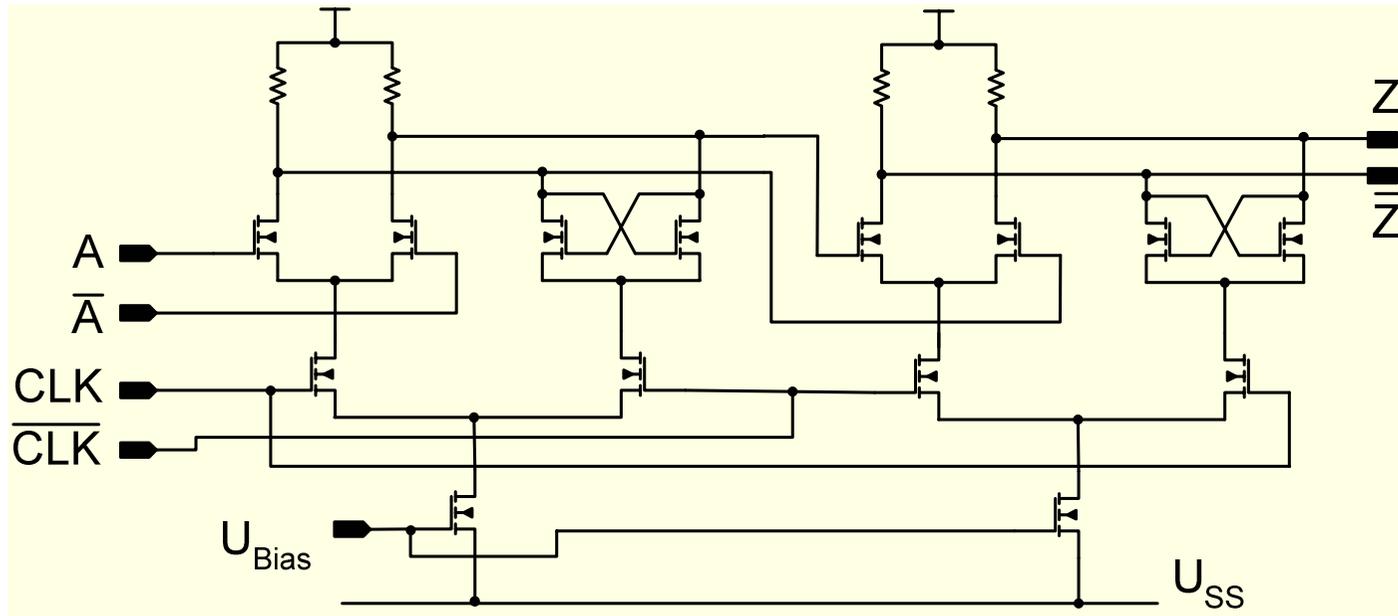
Latch



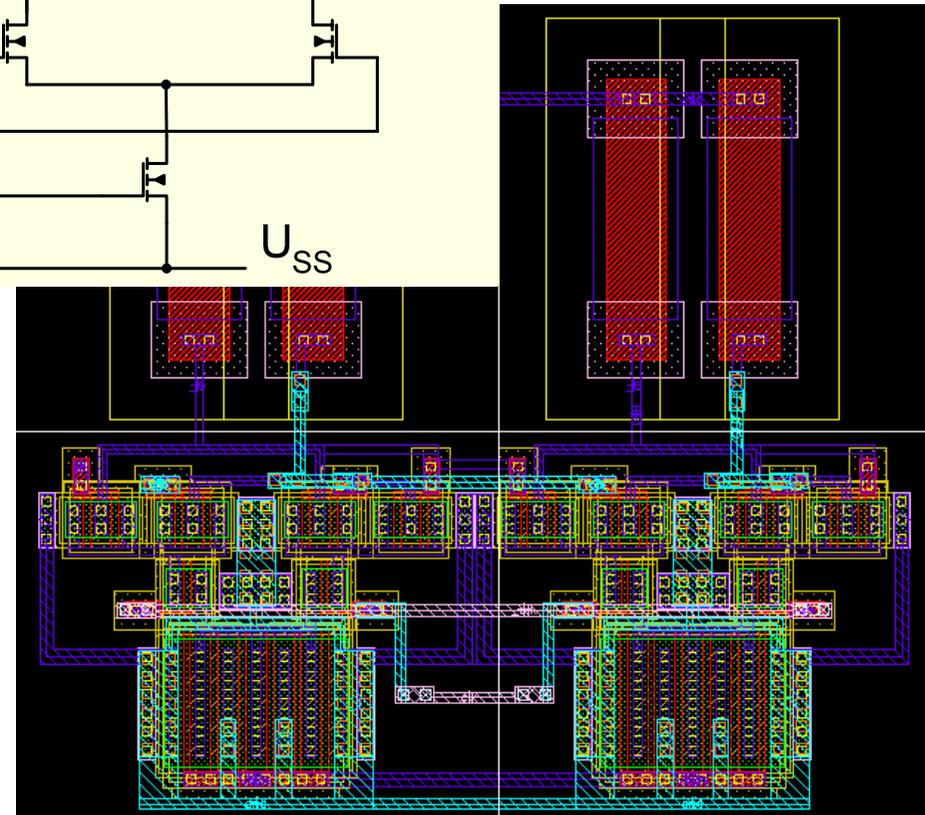
CLK = H \Rightarrow Folgemodus / Transparent

CLK = L \Rightarrow Haltemodus / Nichttransparent

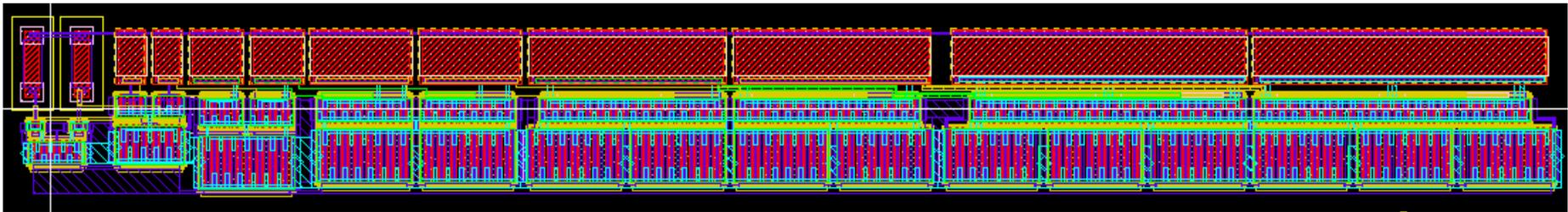
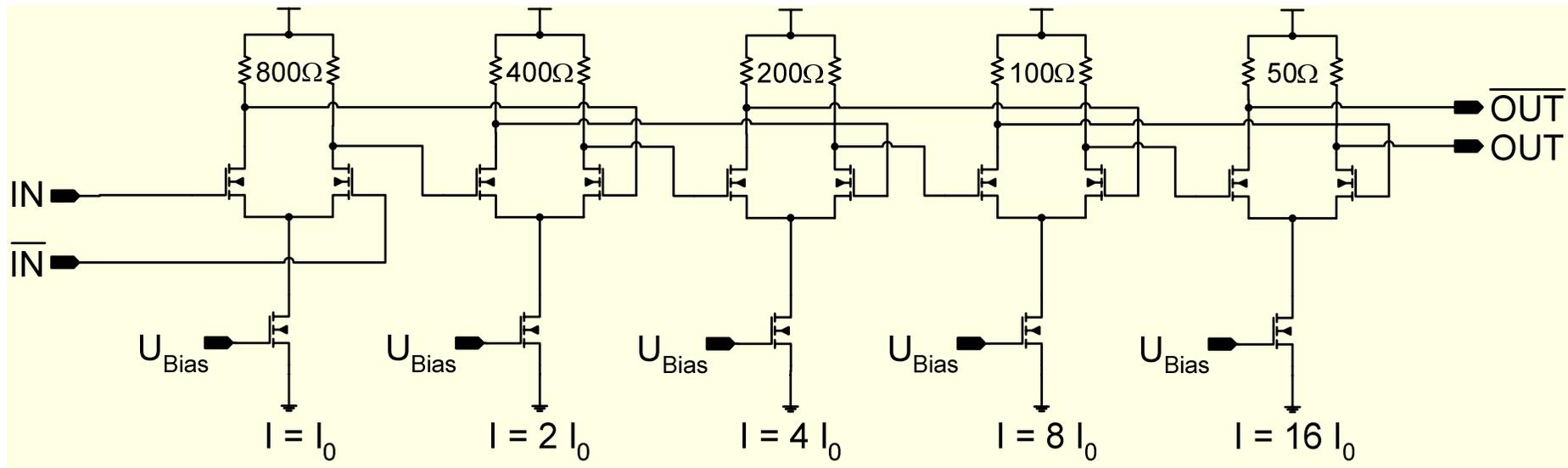
Flip-Flop



$$Z(nT) = A((n-1)T)$$



Ausgangstreiber

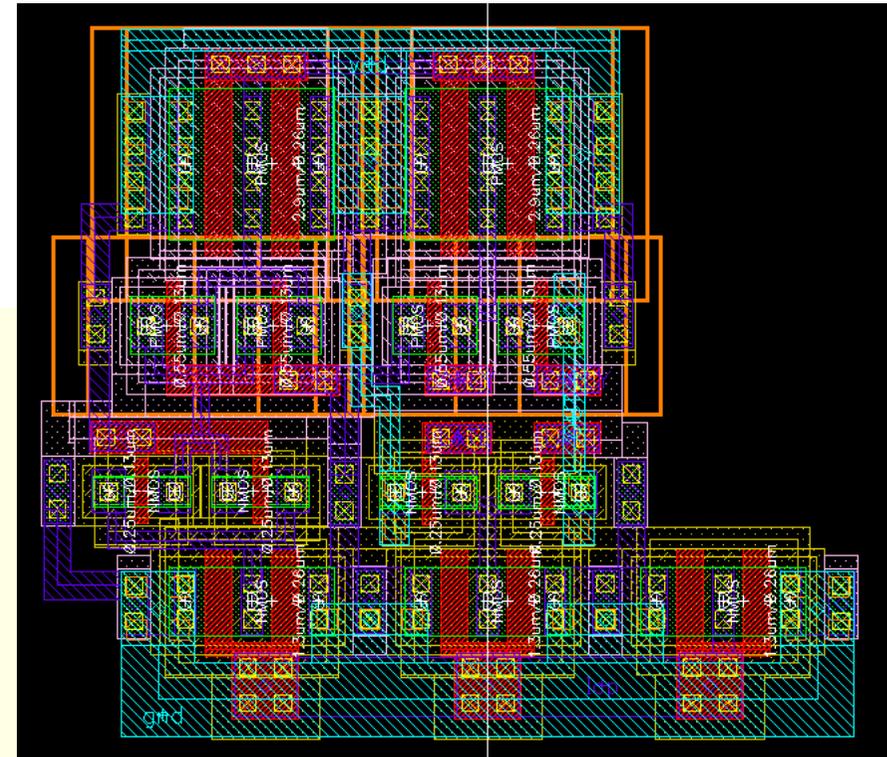
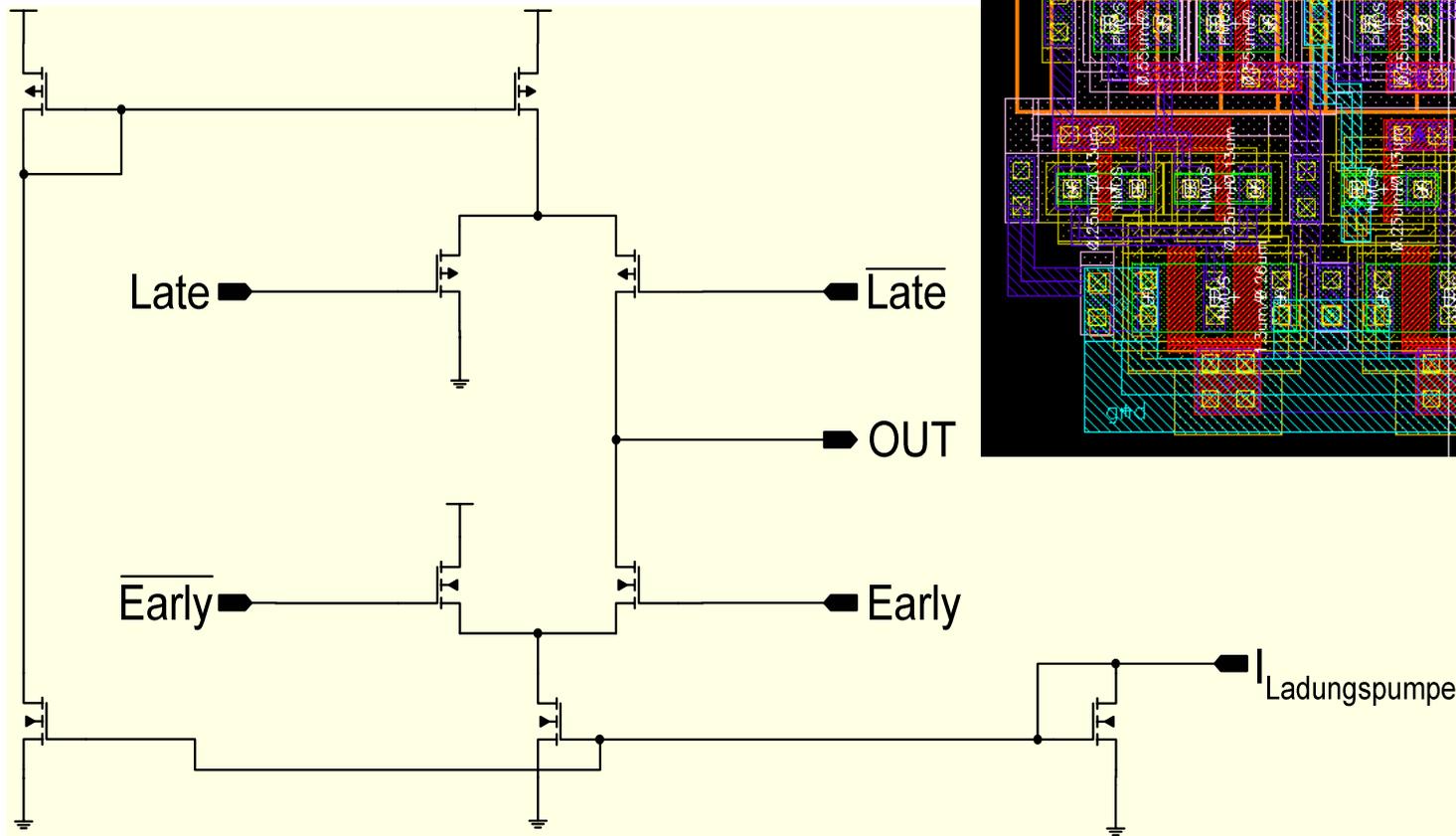


Stufenweise - Erhöhung der Treiberfähigkeit /
- Erniedrigung des Lastwiderstands
bis auf den Zielwert (hier $50\ \Omega$ für Meßzwecke)

Ladungspumpe

$$I_{\text{OUT}} = (\text{Late} - \text{Early}) \cdot I_{\text{Ladungspumpe}}$$

Early, Late $\in 0,1$



2. Grundsaltungen

ANALOG

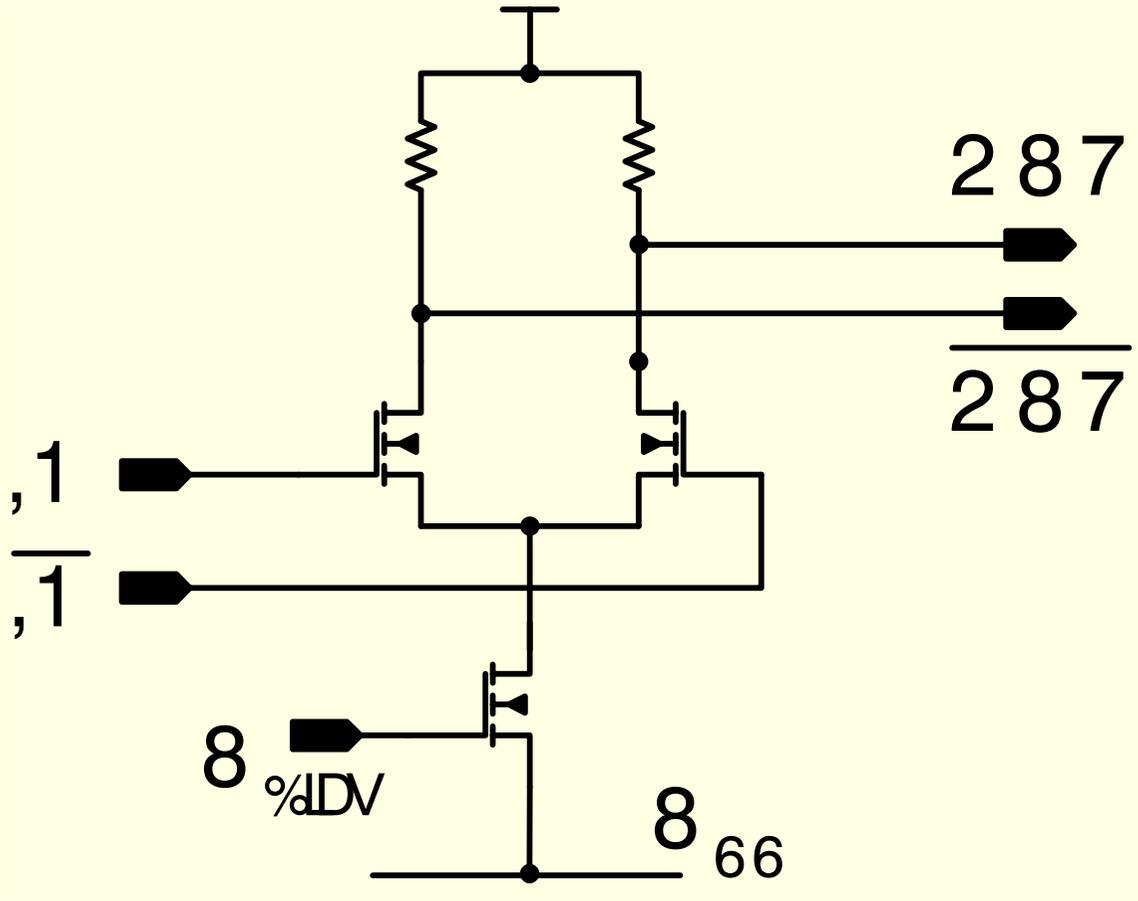
Verstärker

Addierer

Multiplizierer

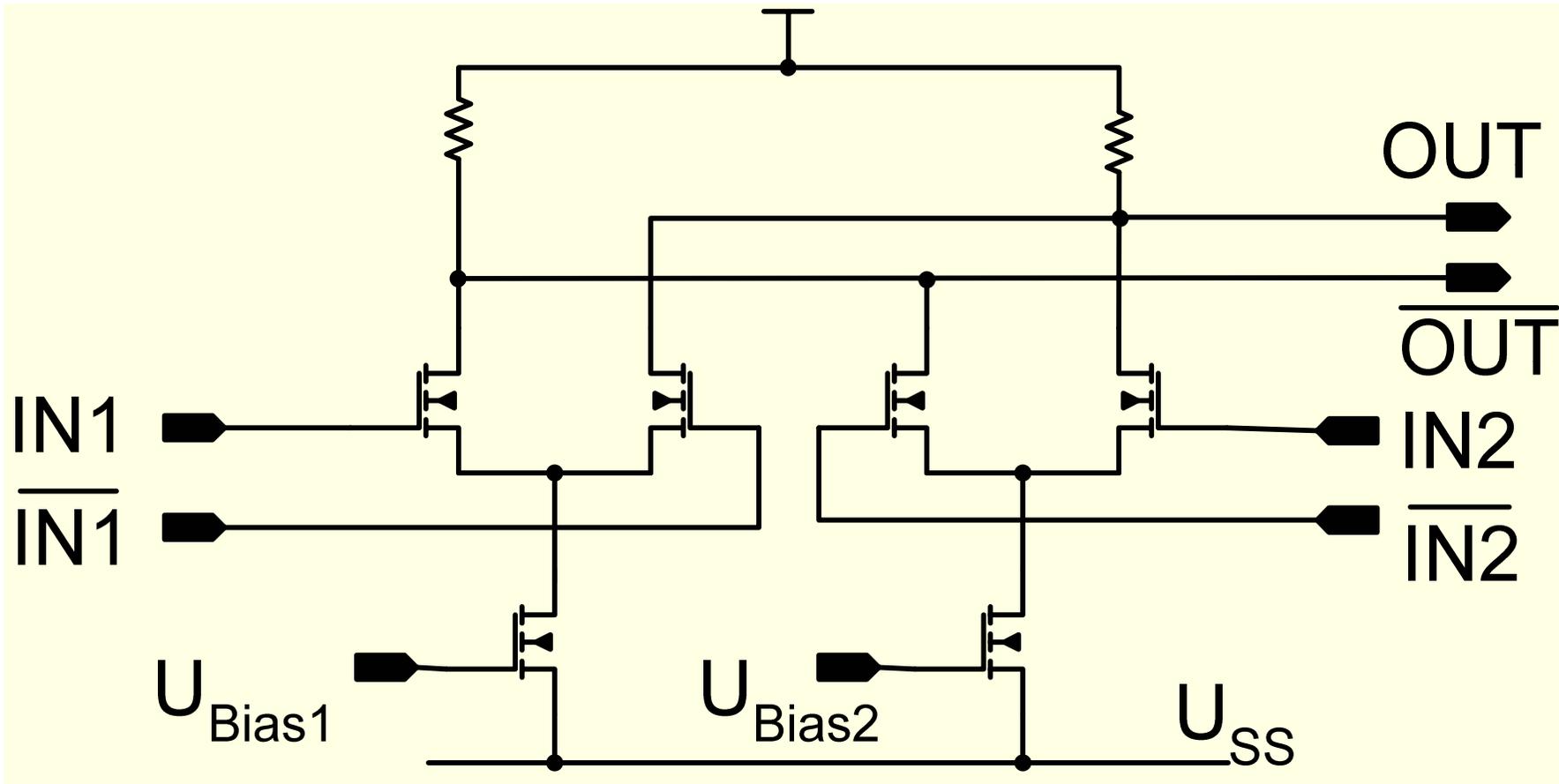


Verstärker



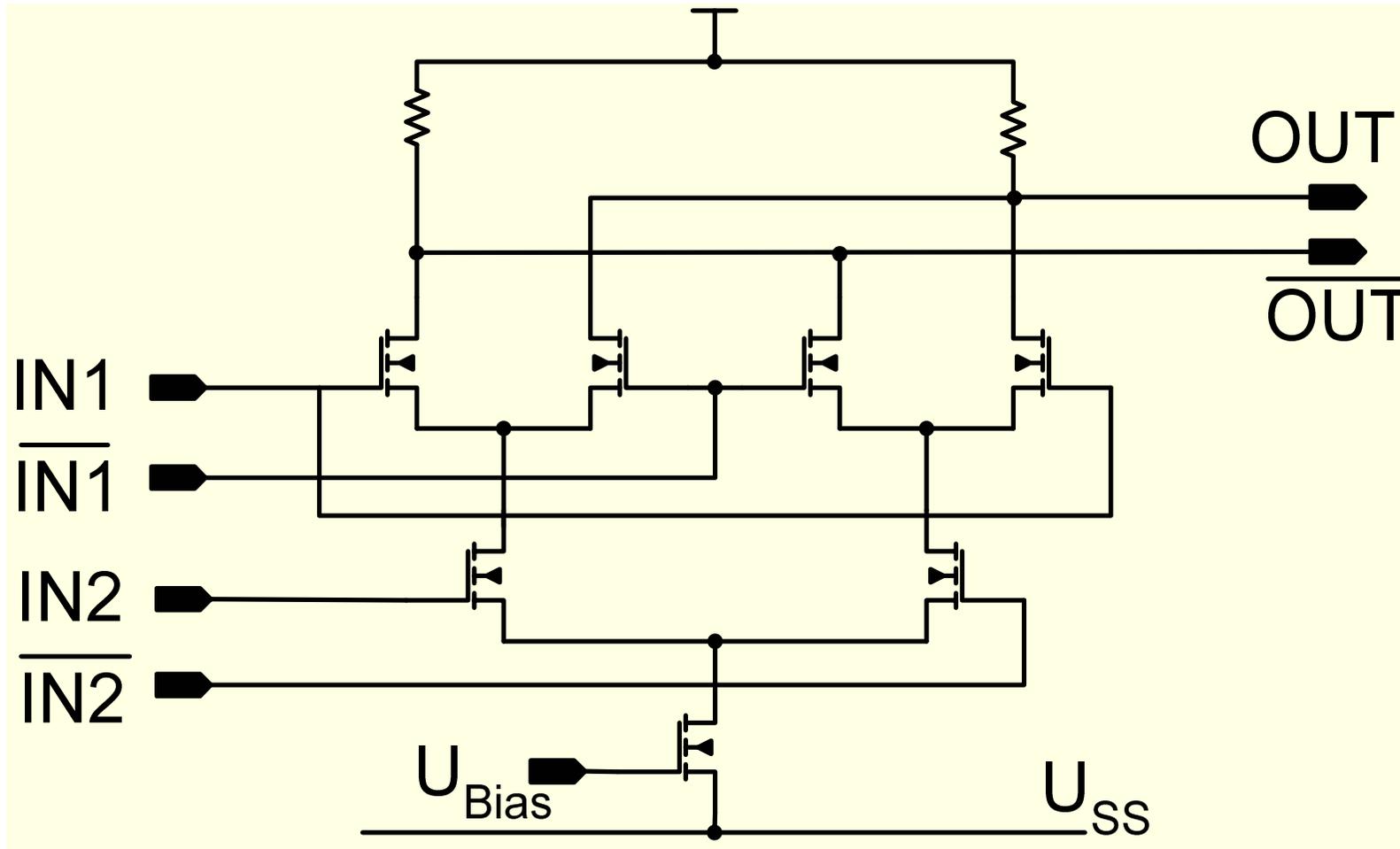
$$U_{OUT} = V_U U_{IN}$$

Summierer



$$U_{\text{OUT}} = V_{U1} U_{\text{IN1}} + V_{U2} U_{\text{IN2}}$$

Multiplizierer



$$U_{OUT} = K (U_{IN1} \cdot U_{IN2})$$

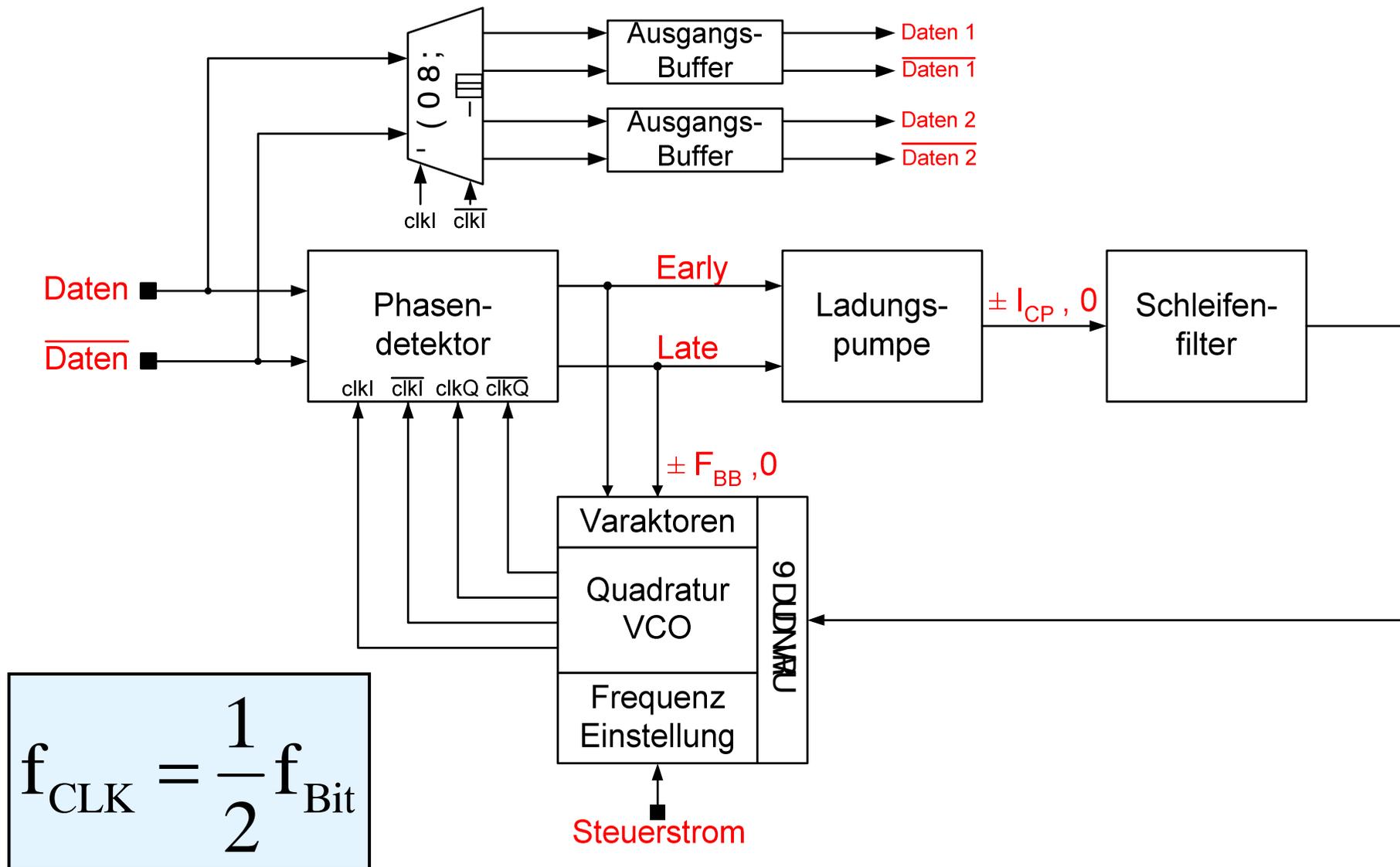
3. Anwendungen

Binäre Taktrückgewinnung für 10 Gbit/s

CMOS 0,13 μm / 1,2 V

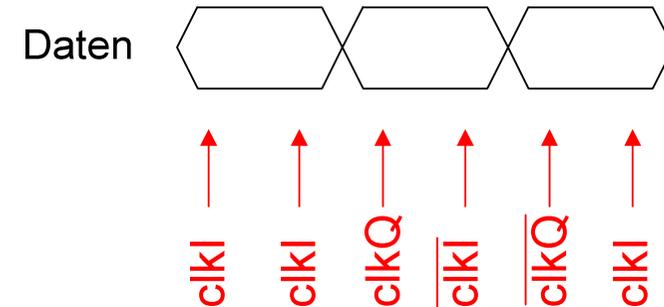
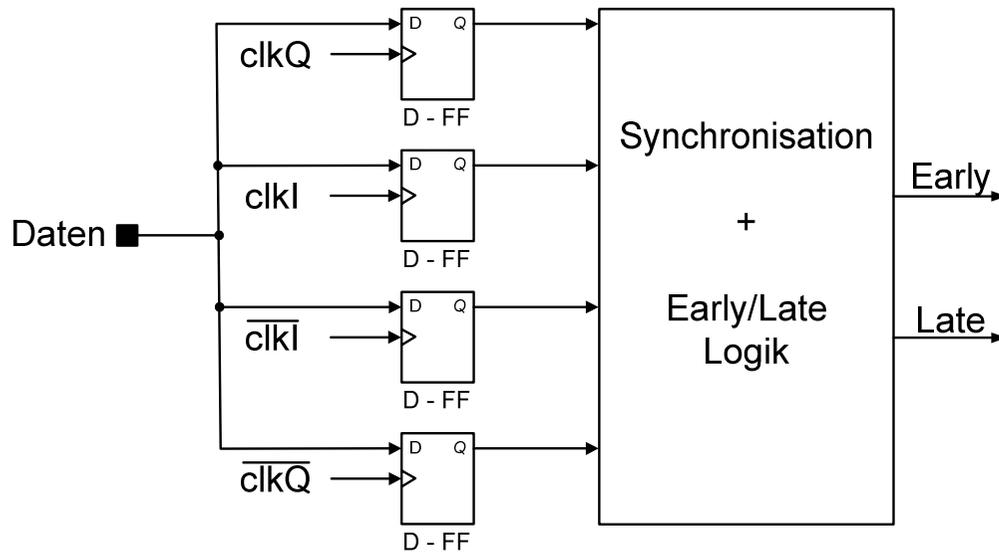


Blockschaltbild



Halbraten – Early – Late - Phasendetektor

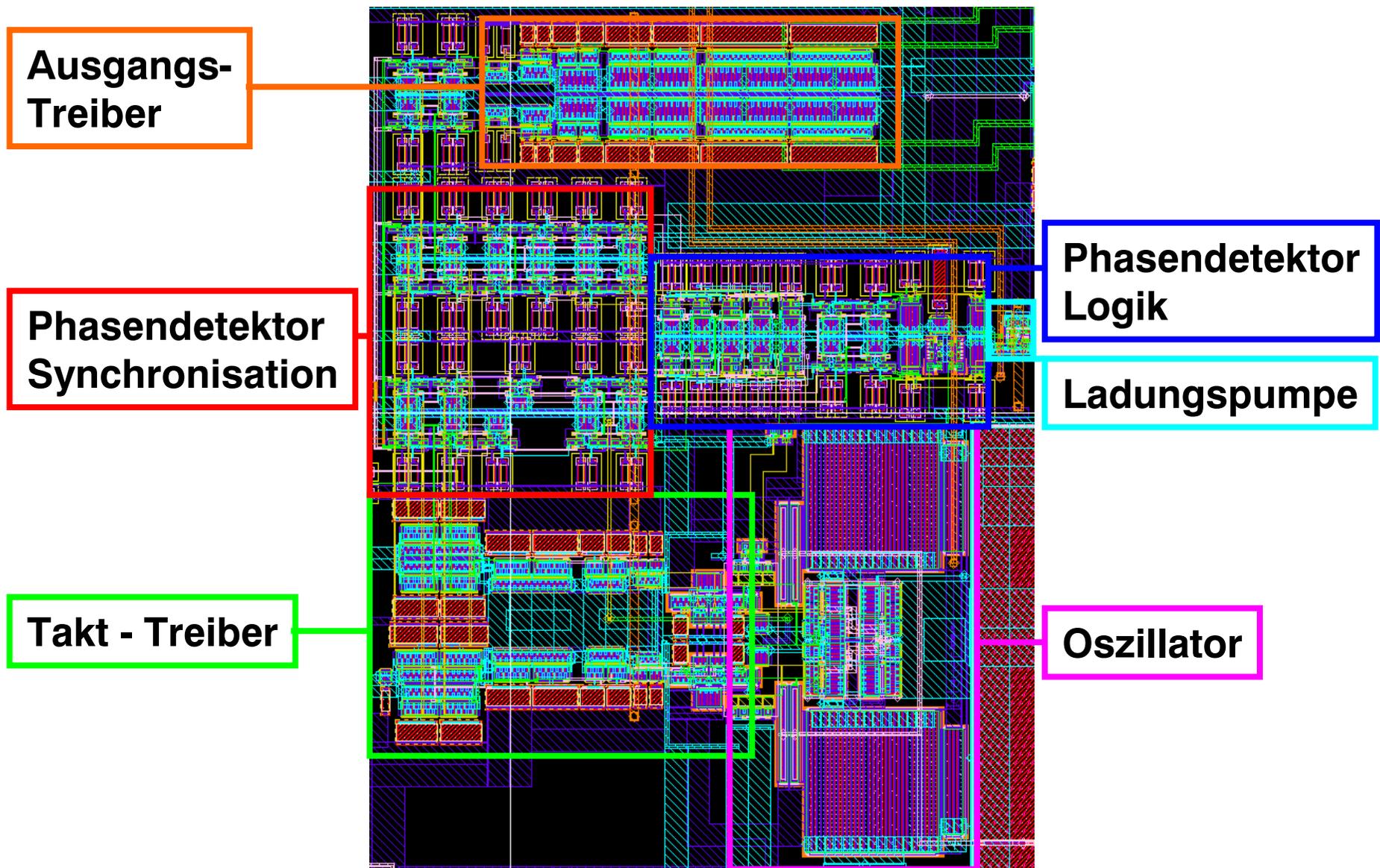
Binärer Phasendetektor *



$clkI$	$clkQ$	\overline{clkI}	Phasendetektor
0	0	1	EARLY
1	1	0	
0	1	1	LATE
1	0	0	
0	0	0	TRISTATE
1	1	1	

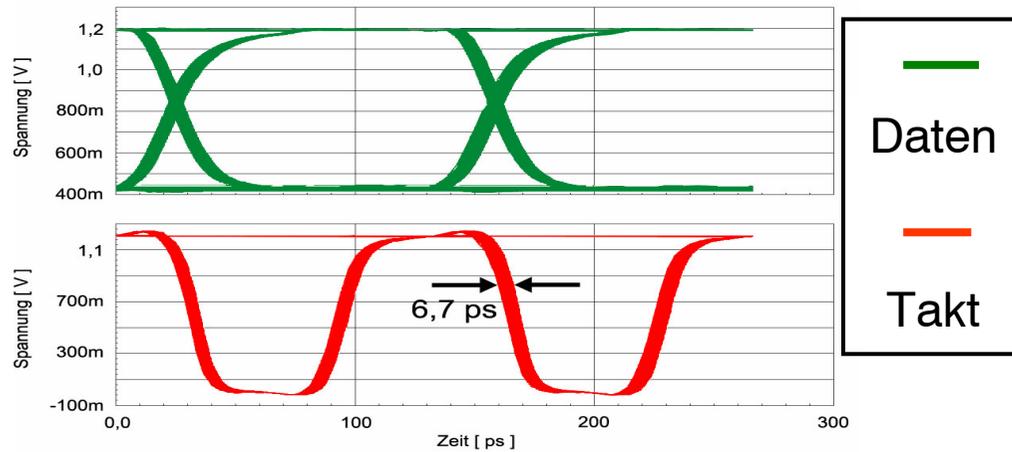
* J. E. Rogers and J. R. Long, „A 10-Gb/s CDR/DEMUX With LC Delay Line VCO in 0.18- μ m CMOS,“ IEEE J. Solid-State Circuits, vol. 37, pp. 1781-1789, Dec. 2002

Layout

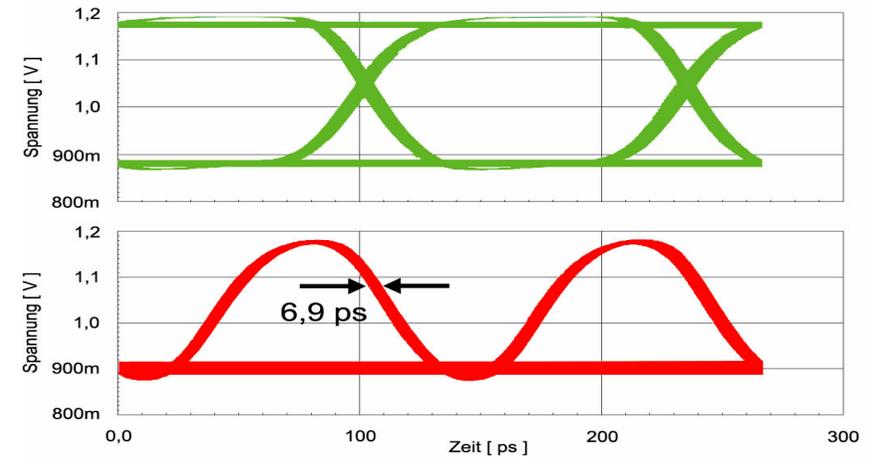


Simulationsergebnisse

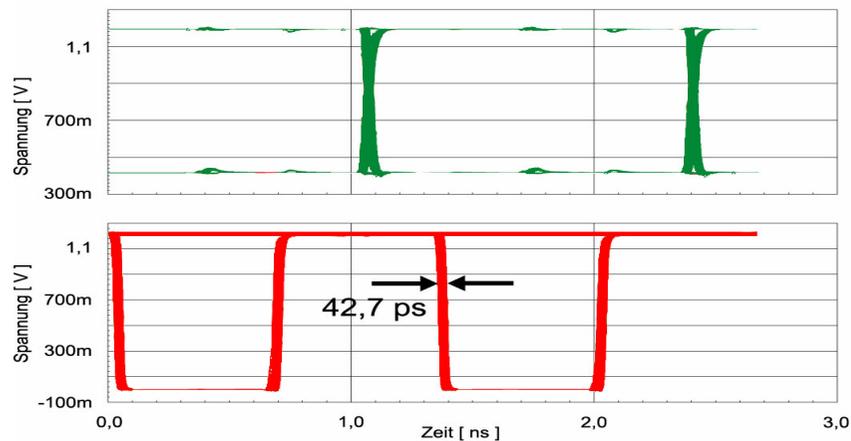
Vor Buffer bei **15 Gbit/s**



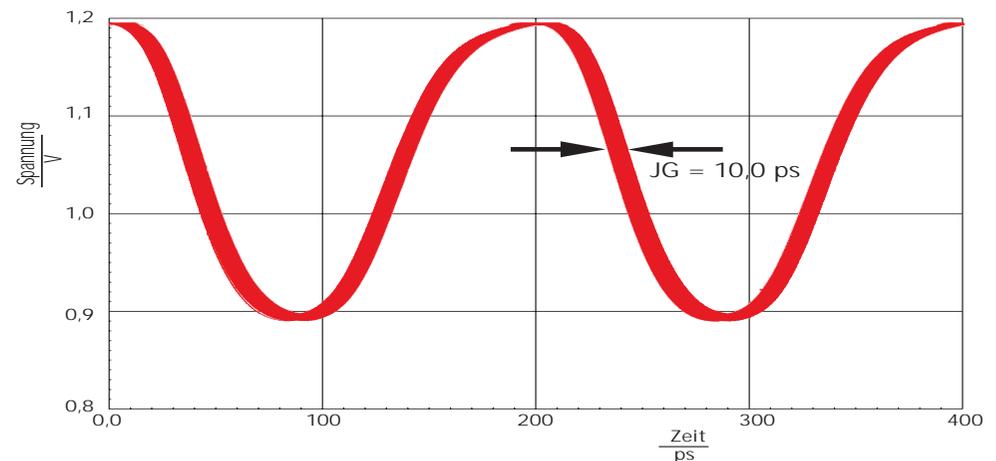
Nach Buffer bei **15 Gbit/s**



Vor Buffer bei **1,5 Gbit/s**



Resimulation nach Extraktion:
Nach Buffer bei **10 Gbit/s**



Zusammenfassung Taktrückgewinnung

- Multiraten-Taktrückgewinnung **1 bis 10 Gbit/s**
- Jittergeneration bei 10 Gbit/s **10 ps**
- Stromverbrauch mit Treiber **100 mA**
- Anzahl Transistoren **ca. 500**
- keine Spulen

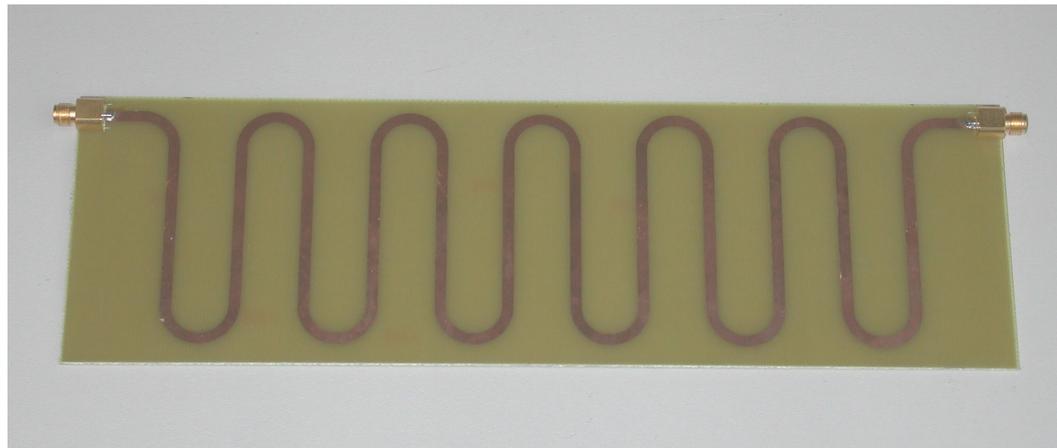
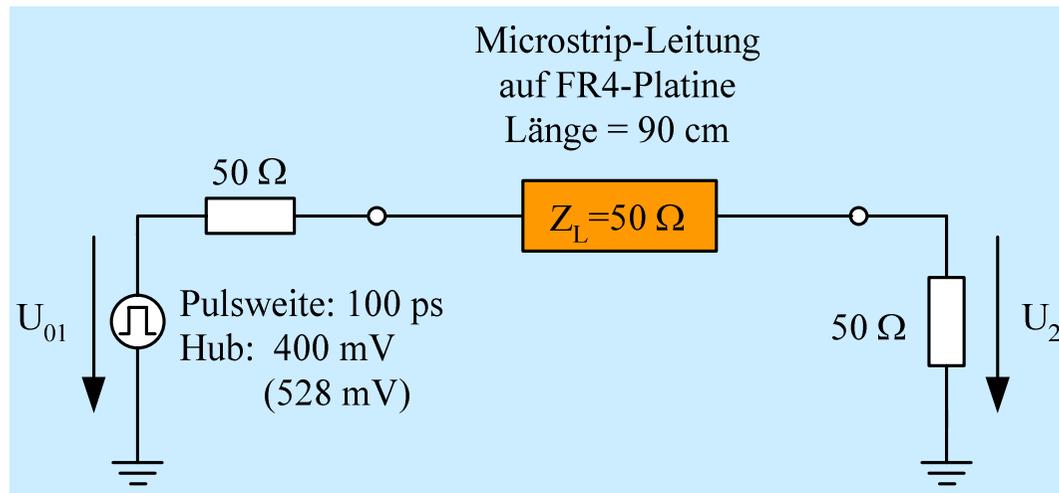
3. Anwendungen

**Getakteter
Entzerrer
für 10 Gbit/s**

CMOS 0,13 μm / 1,2 V

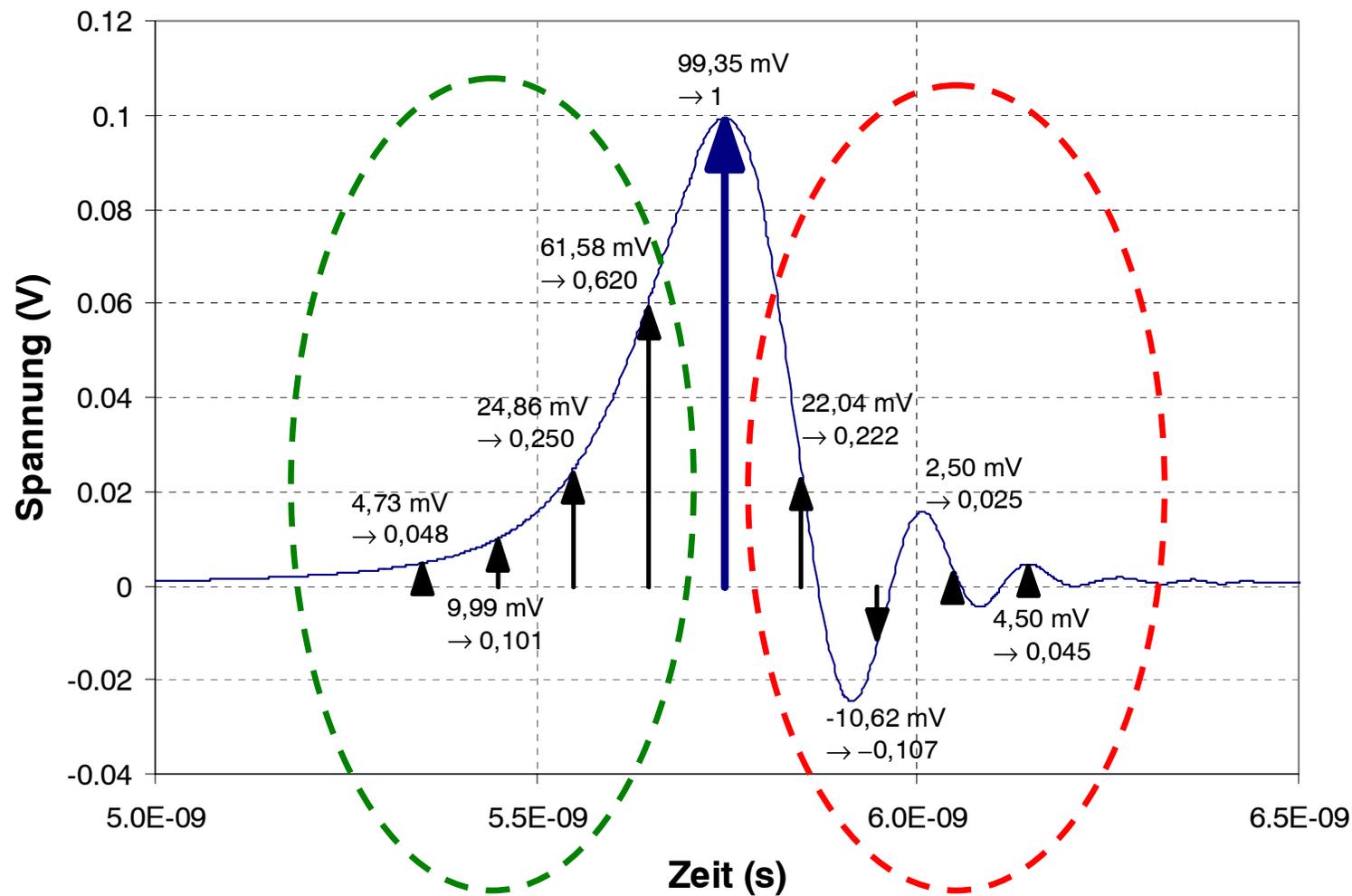


Übertragungsstrecke: FR4-Microstrip-Leitung



Platine: FR4, Huber & Suhner SMA-Verbinder
Entwurf & Simulation mit Agilent-ADS

Impuls-Antwort

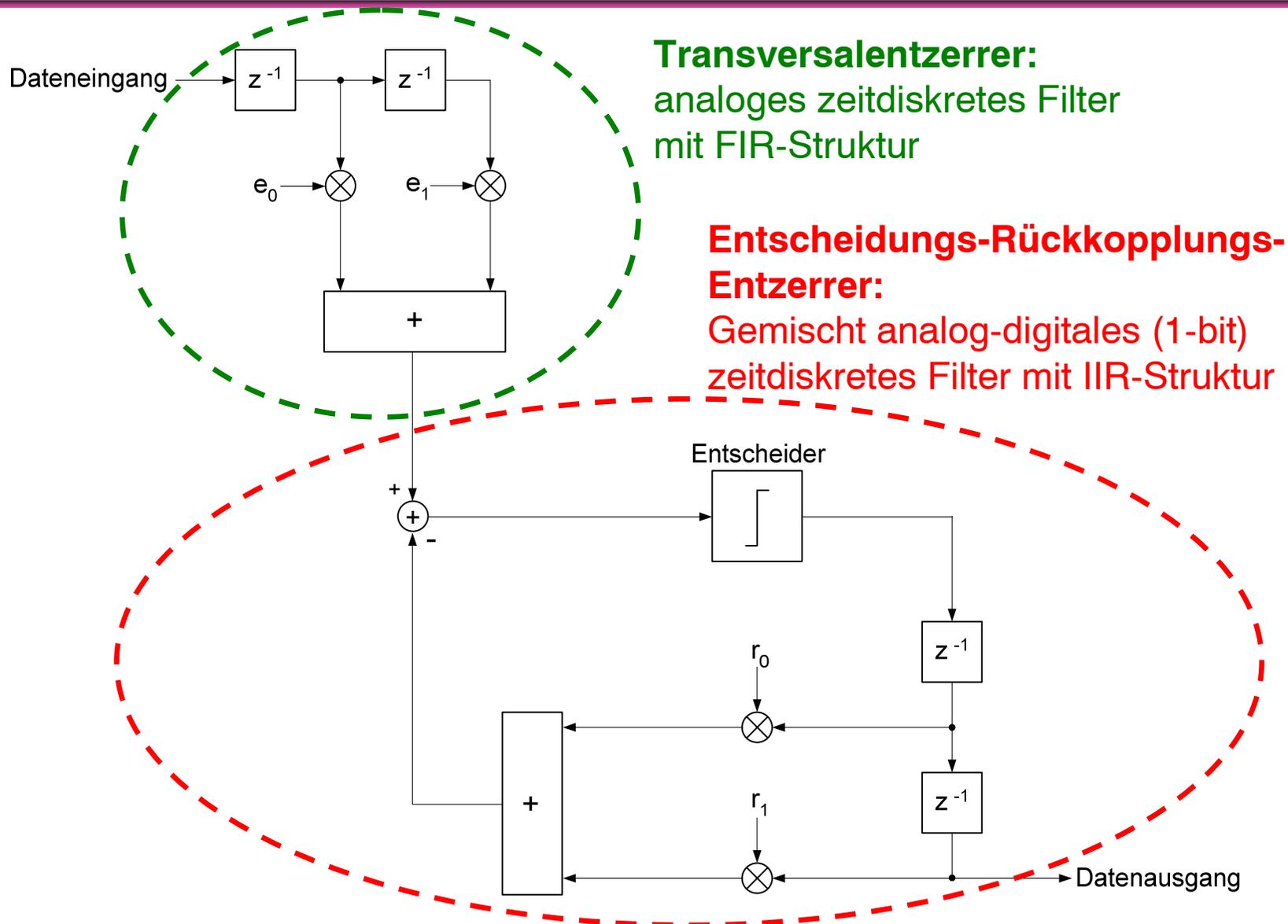


Vorschwinger:
Dispersion

Hauptimpuls

Nachschwinger:
Dispersion, u.U. Reflexionen

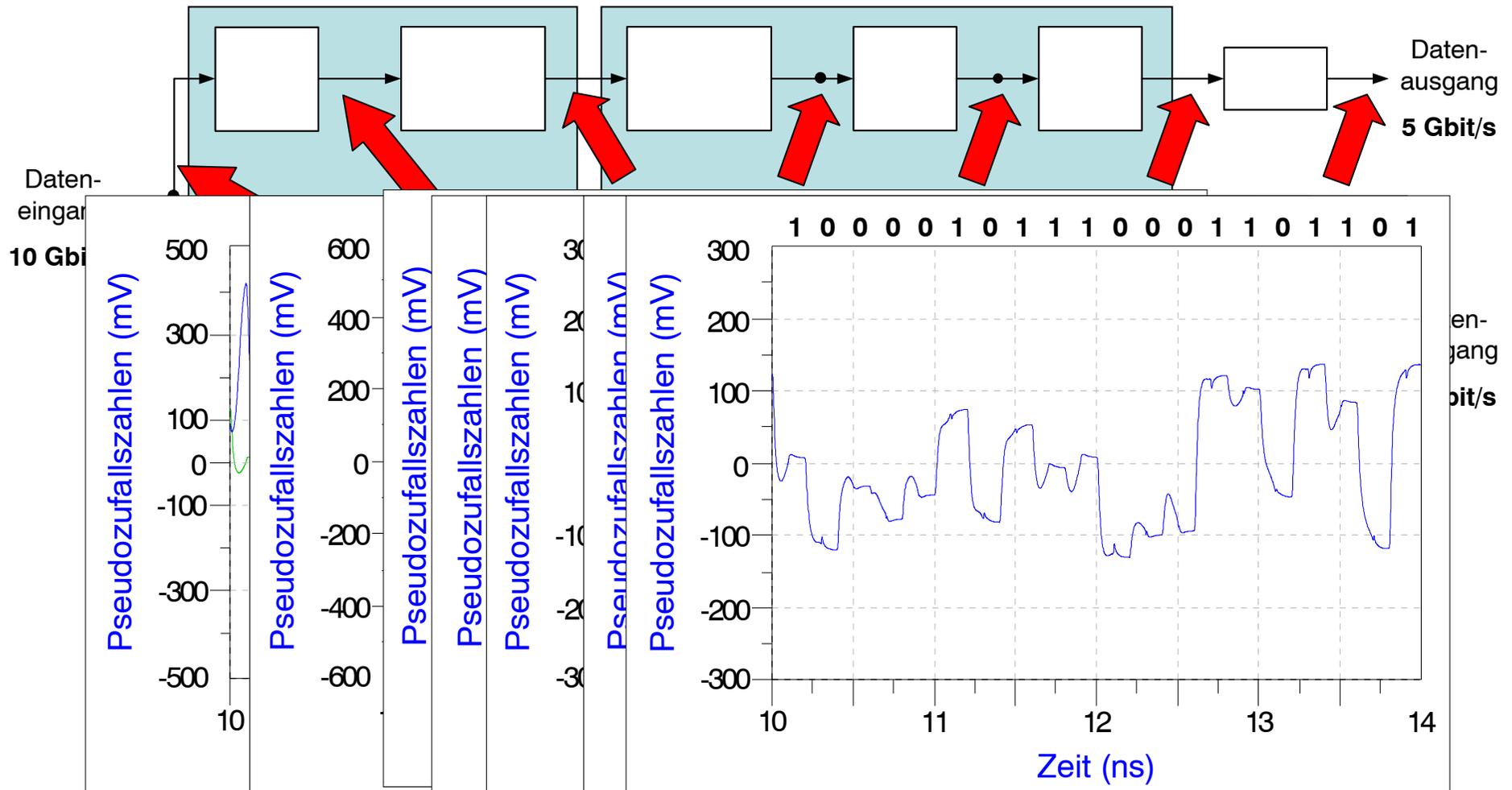
Entzerrer-Konzept



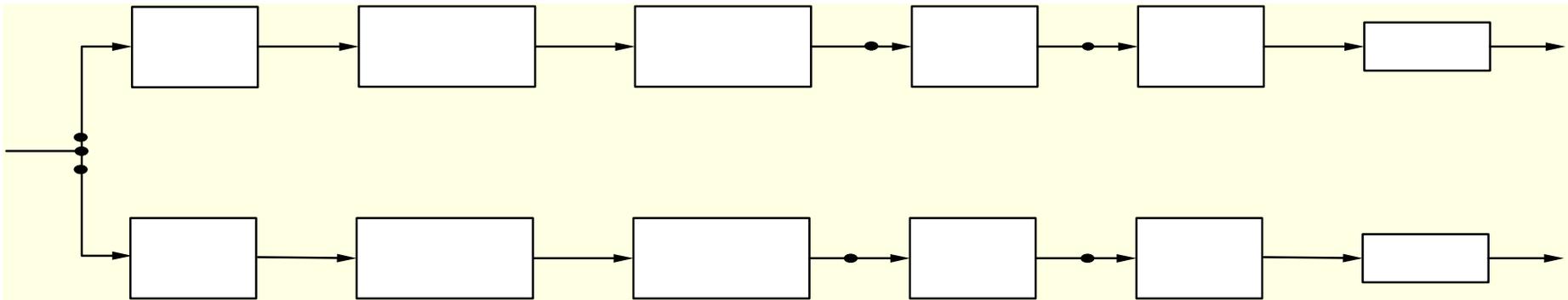
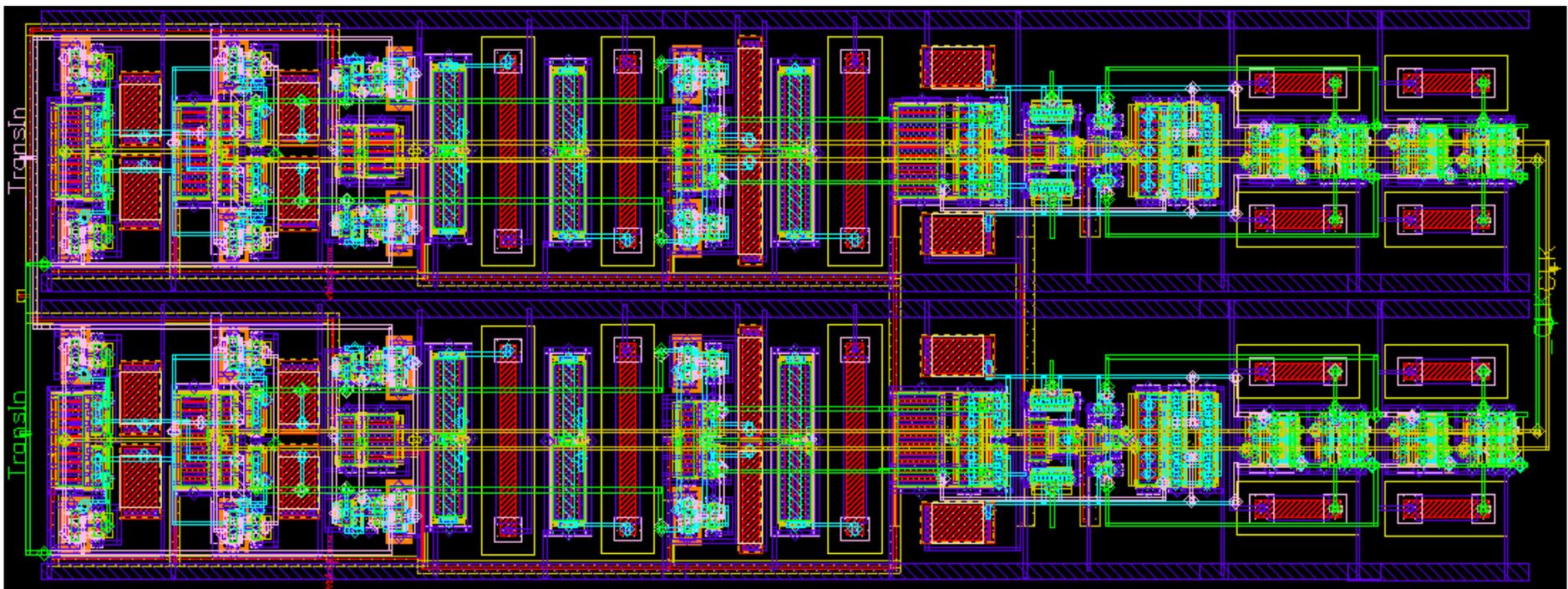
Transversalentzerrer:
 analoges zeitdiskretes Filter
 mit FIR-Struktur

**Entscheidungs-Rückkopplungs-
 Entzerrer:**
 Gemischt analog-digitales (1-bit)
 zeitdiskretes Filter mit IIR-Struktur

Signalverlauf im Entzerrer



Layout



Zusammenfassung Entzerrer

Entzerrer bestehend aus

- Transversalentzerrer und
 - Entzerrer mit quantisierten Rückführungen
(jeweils 2 Koeffizienten)
-
- Entzerrung einer
90 cm langen Microstrip-Leitung auf FR4-Platine
-
- Bitrate am Eingang des Entzerrers: 10 Gbit/s
 - Bitrate am Ausgang des Entzerrers: 2 x 5 Gbit/s
-
- Spannungshub Eingang: 264 mV
 - Spannungshub am Ausgang: 800 mV
-
- Stromverbrauch
- | | |
|----------------|-------|
| Taktgenerator: | 24 mA |
| Entzerrer: | 12 mA |

FAZIT

1. CMOS – Stromschaltertechnik bietet Vorteile wie

- geringe Störspannungs-Generation
- geringe Störspannungs-Empfindlichkeit

2. Individuelle Auslegung des Stromschalters notwendig

- Analog / Digital
- hohe Verstärkung / Linearität / Bandbreite
- geringes Rauschen
- Stromverbrauch

3. Angeführte Anwendungsbeispiele für 10 Gbit/s-Übertragung

- Taktrückgewinnung
- Entzerrer

→ **Schaltungstechnik der Wahl für
Höchstgeschwindigkeitsanwendungen und
Mixed-Signal-Anwendungen**

